

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#2
Brown
7/3/01

JG49 U.S. PRO
09/699077



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 1月24日

出願番号
Application Number:

特願2000-014962

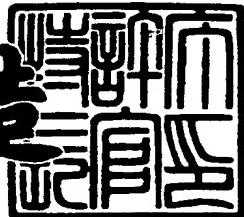
出願人
Applicant(s):

株式会社アドバンテスト

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3077975

【書類名】 特許願
【整理番号】 ADV99N7384
【提出日】 平成12年 1月24日
【あて先】 特許庁長官殿
【国際特許分類】 G01R
【発明者】
【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン
テスト内
【氏名】 石田 雅裕
【発明者】
【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン
テスト内
【氏名】 山口 隆弘
【発明者】
【住所又は居所】 東京都練馬区旭町1丁目32番1号 株式会社アドバン
テスト内
【氏名】 橋本 好弘
【特許出願人】
【識別番号】 390005175
【氏名又は名称】 株式会社アドバンテスト
【代理人】
【識別番号】 100066153
【弁理士】
【氏名又は名称】 草野 阜
【選任した代理人】
【識別番号】 100100642
【弁理士】
【氏名又は名称】 稲垣 稔

【手数料の表示】

【予納台帳番号】 002897

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9718552

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の故障シミュレーション方法および故障シミュレータ

【特許請求の範囲】

【請求項1】 入力テストパターン系列で検出可能な故障リストを生成する方法において、

被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を選択するステップと、

上記選択されたテストパターン系列における各テストパターンを被試験半導体集積回路に入力した場合の論理シミュレーションをおこない、その被試験半導体集積回路内部の信号線に生じる論理信号値列を計算するステップと、

上記論理シミュレーションにより計算された各信号線の論理信号値列をもじいて上記テストパターン系列により過渡電源電流試験で検出可能な故障リストを生成するステップと、

を具備することを特徴とする半導体集積回路の故障シミュレーション方法。

【請求項2】 請求項1記載の故障シミュレーション方法において、

上記故障リストを生成するステップは、論理ゲートを単位として故障リストを生成することを特徴とする半導体集積回路の故障シミュレーション方法。

【請求項3】 請求項1記載の故障シミュレーション方法において、

上記故障リストを生成するステップは、信号線を単位として故障リストを生成することを特徴とする半導体集積回路の故障シミュレーション方法。

【請求項4】 請求項1記載の故障シミュレーション方法において、

上記故障リストを生成するステップは、信号伝搬パスを単位として故障リストを生成することを特徴とする半導体集積回路の故障シミュレーション方法。

【請求項5】 入力テストパターン系列で検出可能な故障リストを生成する装置であって、

被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を発生するテストパターン発生手段と、

上記発生されたテストパターン系列における各テストパターンを上記被試験半

導体集積回路に入力した場合の論理シミュレーションをおこない、その被試験半導体集積回路内部の信号線に生じる論理信号値列を計算する論理シミュレータと

上記論理シミュレータにより計算された各信号線の論理信号値列をもちいて上記テストパターン系列により過渡電源電流試験で検出可能な故障リストを生成する故障リスト生成手段と、

を具備することを特徴とする半導体集積回路の故障シミュレータ。

【請求項6】 入力テストパターン系列で検出可能な故障リストを生成する方法において、

仮定した故障を被試験半導体集積回路に挿入するステップと、

上記被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を選択するステップと、

上記故障を挿入した被試験半導体集積回路に上記選択したテストパターン系列をあたえて回路シミュレーションをおこなうことにより、

上記被試験半導体集積回路の過渡電源電流を計算するステップと、

上記回路シミュレーションにより計算された過渡電源電流を正常回路の過渡電源電流と比較し、上記故障が上記テストパターン系列により過渡電源電流試験で検出可能であるか否かを判定するステップと、

を具備することを特徴とする半導体集積回路の故障シミュレーション方法。

【請求項7】 入力テストパターン系列で検出可能な故障リストを生成する装置であって、

被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を選択するテストパターン系列選定手段と、

仮定した故障を上記被試験半導体集積回路に挿入する故障挿入手段と、

上記故障を挿入した被試験半導体集積回路に上記選択したテストパターン系列をあたえて回路シミュレーションをおこなうことにより、上記被試験半導体集積回路の過渡電源電流を計算する回路シミュレータと、

上記回路シミュレータにより計算された過渡電源電流を正常回路の過渡電源電流と比較し、上記故障が上記テストパターン系列により過渡電源電流試験で検出

可能であるか否かを判定することにより故障リストを生成する故障リスト生成手段と、

を具備することを特徴とする半導体集積回路の故障シミュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、あるテストパターン系列で検出されうる半導体集積回路における故障のリストを生成する故障シミュレーション方法および故障シミュレータに関する。

【0002】

【従来の技術】

従来、半導体集積回路の故障シミュレーションは、集積回路内部に故障を仮定し、所定のテストパターンに対する出力端子からの出力値を論理シミュレーションをもちいて計算し、出力値が故障がない場合に対し変化するものを求めその結果を故障辞書（fault dictionary）と呼ばれる仮定故障と入出力論理値の対応表としてまとめることにより、各テストパターンで検出できる故障のリストを生成していた。半導体集積回路を試験する場合は、各テストパターンを半導体集積回路に入力し、その時の出力値と、入力とから故障辞書を参照して集積回路内部のどの部分に故障があるか否かを推定する。

【0003】

また、論理不良を生じない故障、たとえば短絡故障や電流リーク故障などに対応するために、IDDQ（静止電源電流、quiescent power supply current）試験法と論理シミュレーションを併用した故障シミュレーション方法が提案されている。この方法は、論理シミュレーションによりあるテストパターンに対する集積回路内の信号線における論理信号値を算出し、集積回路内部に故障を仮定して IDDQ異常発生条件を満たす故障を列挙することにより検出可能な故障リストを生成する。集積回路にあるテストパターンを入力したとき、集積回路内の各信号線は通常“0”または“1”的論理値をもつ。このため、このテストパターンにより集積回路内部に生じた論理値“0”をもつ信号線と論理値“1”をもつ信

号線の間に短絡故障が生じたとき、集積回路は IDDQ に異常を生じる。したがって、集積回路内のすべての論理値 “0” をもつ信号線と論理値 “1” をもつ信号線の組み合わせに対し、両信号線間に生じた短絡故障は、入力されているテストパターンにより IDDQ 試験法をもちいて検出可能であり、これらの短絡故障を列挙することにより IDDQ 試験法で検出可能な故障リストを生成することができる。

【0004】

【発明が解決しようとする課題】

しかし、論理シミュレーションをもちいる故障シミュレーション法は、シミュレーションであつかうことができる故障モデルが、1つの信号線がある状態 (0 又は 1) に固定される故障、つまり单一の縮退故障 (Stuck-At-0 または Stuck-At-1) のみである。このため、この故障シミュレーション法は、複数の信号線が 0 又は 1 に固定される多重縮退故障や遅延故障、信号線間の短絡故障等を感度よくシミュレーションすることができず、これらの故障に対して検出可能な故障リストを生成することができない。

【0005】

また、IDDQ 試験法と論理シミュレーションを併用した故障シミュレーション法は、IDDQ 試験法が半導体集積回路の安定状態における電源電流を測定する試験法であり、主に回路内の短絡故障を対象としているため、半導体集積回路の過渡現象、たとえば、遅延時間に影響をあたえる遅延故障や断線故障、局所的または大域的なプロセスパラメータ（シート抵抗、酸化膜厚など）の異常などの故障に対し、検出可能な故障リストを生成することができないという問題があった。

【0006】

このため、集積回路の遅延故障や断線故障、パラメータ異常故障に対し、あるテストパターン系列で検出可能な故障リストを生成できる故障シミュレーション法が必要となる。

この発明の目的は、回路の過渡現象を試験できる可観測性の高い過渡電源電流 (IDDT, transient power supply current) 試験法と論理シミュレーション

を併用することによって、半導体集積回路内の遅延故障や断線故障、パラメータ異常故障に対し、あるテストパターン系列で検出可能な故障リストを生成できる故障シミュレーション方法を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するため、この発明によれば、入力テストパターン系列で検出可能な故障リストを生成する方法において、被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を選択するステップと、上記選択したテストパターン系列における各テストパターンを被試験半導体集積回路に入力した場合の論理シミュレーションをおこない、被試験半導体集積回路内部の信号線に生じる論理信号値列を計算するステップと、論理シミュレーションにより計算された各信号線の論理信号値列を用いて、上記テストパターン系列により過渡電源電流試験で検出可能な故障リストを生成するステップと、を具備することを特徴とする。

【0008】

この方法によって、従来不可能であった遅延故障あるいは遅延故障を生じる断線故障に対し、あるテストパターンをもちいて過渡電源電流試験で検出可能な故障リストを生成できるため、遅延故障や断線故障に対する試験の効率を大幅に改善することができる。

上記故障リストを生成するステップにおける一形態は、論理ゲートを単位として故障リストを生成する。

【0009】

上記故障リストを生成するステップにおける他の形態は、信号線を単位として故障リストを生成する。

上記故障リストを生成するステップにおける他の形態は、信号伝搬パスを単位として故障リストを生成する。

また、上記目的を達成するため、この発明によれば入力テストパターン系列で検出可能な故障リストを生成する装置であって、被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を発生するテストパタ

ーン発生手段と、上記発生したテストパターン系列における各テストパターンを被試験半導体集積回路に入力した場合の論理シミュレーションをおこない、被試験半導体集積回路内部の信号線に生じる論理信号値列を計算する論理シミュレータと、その論理シミュレータにより計算された各信号線の論理信号値列をもちいて上記テストパターン系列により過渡電源電流試験で検出可能な故障リストを生成する故障リスト生成手段と、を具備することを特徴とする。

【0010】

この故障シミュレータ装置によって、従来不可能であった遅延故障あるいは遅延故障を生じる断線故障に対し、あるテストパターンを用いて過渡電源電流試験で検出可能な故障リストを生成できるため、遅延故障や断線故障に対する試験の効率を大幅に改善することができる。

また、上記目的を達成するため、この発明によれば、入力テストパターン系列で検出可能な故障リストを生成する方法において、仮定した故障を被試験半導体集積回路に挿入するステップと、被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を選択するステップと、上記故障を挿入した被試験半導体集積回路に上記テストパターン系列をあたえた場合の回路シミュレーションをおこなうことにより、被試験半導体集積回路の過渡電源電流を計算するステップと、その回路シミュレーションにより計算された過渡電源電流を正常回路の過渡電源電流と比較し、上記故障が上記テストパターン系列により過渡電源電流試験で検出可能であるか否かを判定するステップと、を具備することを特徴とする。

【0011】

この方法によって、従来不可能であった遅延故障あるいは遅延故障を生じる断線故障やパラメータ異常故障に対し、あるテストパターンを用いて過渡電源電流試験で検出可能な故障リストを生成できるため、遅延故障や断線故障、パラメータ異常故障に対する試験の効率を大幅に改善することができる。

また、上記目的を達成するため、この発明によれば入力テストパターン系列で検出可能な故障リストを生成する装置であって、被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を選択するテストパタ

ーン系列選定手段と、仮定した故障を被試験半導体集積回路に挿入する故障挿入手段と、上記故障を挿入した被試験半導体集積回路に上記テストパターン系列をあたえた場合の回路シミュレーションをおこなうことにより、被試験半導体集積回路の過渡電源電流を計算する回路シミュレータと、回路シミュレータにより計算された過渡電源電流を正常回路の過渡電源電流と比較し、上記故障が上記テストパターン系列により過渡電源電流試験で検出可能であるか否かを判定することにより故障リストを生成する故障リスト生成手段と、を具備することを特徴とする。

【0012】

この故障シミュレータ装置によって、従来不可能であった遅延故障あるいは遅延故障を生じる断線故障やパラメータ異常故障に対し、あるテストパターンをもちいて過渡電源電流試験で検出可能な故障リストを生成できるため、遅延故障や断線故障、パラメータ異常故障に対する試験の効率を大幅に改善することができる。

【0013】

【作用】

以下では、もっとも一般的な半導体集積回路であるCMOS集積回路を例に説明する。

CMOS集積回路の電源電流は、CMOS集積回路に流れ込む電源電流であり、集積回路内の各論理ゲートを流れる電流の和で表される。

過渡電源電流

図1に、CMOSインバータの過渡応答 (transient response)を示す。この過渡応答は、回路シミュレータで求めた。図1 aは、過渡状態における入力電圧 V_{IN} に対する出力電圧 V_{OUT} の応答と、電源からCMOSインバータに流れ込む電流 I_{DD} の応答である。この電流を過渡電流 (transient current)と呼ぶ。インバータの入力が“1”から“0”に遷移するとき (図1 b)、入力電圧がn-MOSのしきい電圧より高く p-MOSのしきい電圧より低いあいだ、n-MOSとp-MOSが一瞬だけ同時にオンとなり、電源からグランドへ貫通電流 (short circuit current) I_S が流れる。このとき、インバータの出力信号線は“0”

から“1”に遷移するため、貫通電流と同時にインバータの出力信号線に接続された寄生容量 (parasitic capacitance) C_{load} への充電 (capacitance charging) にともなう電流 I_C が電源端子 T_{VD} から流れる。したがって、インバータの入力に立ち下がり遷移が生じるとき (添字 “f” で記述する) 、インバータに流れ込む過渡電流 I_{Gf} は、貫通電流 I_{Sf} と充電電流 (capacitance charging current) I_C の和であたえられる。

【0014】

$$I_{Gf} = I_{Sf} + I_C \quad (1)$$

一方、入力が“0”から“1”に遷移するとき (出力が“1”から“0”に遷移するとき (添字 “r” で記述する) (図1c) 、出力信号線に接続された寄生容量 C_{load} からの放電 (capacitance discharging) がおこり、放電電流 (capacitance discharging current) I_D が生じるが、電源端子 T_{VD} からインバータへ流れ込む電流 I_{Gr} は貫通電流 I_{Sr} だけである。このため、電流ピークはわずかに小さくなる。

【0015】

$$I_{Gr} = I_{Sr} \quad (2)$$

CMOSインバータの伝達特性は、図2aに示すように入力電圧 V_{IN} の変化に対し三角パルス状の電流 I_S を示す。このため、CMOSインバータの入力が立ち上がり遷移をもつとき、CMOSインバータを流れる貫通電流波形 I_{Sr} は、入力電圧 V_{IN} がランプ状に遷移すると仮定すると、図2bにおいて “ I_S ” で示した三角パルスで近似できる。また、図2bに示した入力信号の立ち上がり遷移に対するCMOSインバータの貫通電流波形 I_{Sr} は、つぎのような近似式であたえられる。

【0016】

【数1】

$$I_{sr} = \begin{cases} 0, & t \leq \frac{V_{THN}}{V_{DD}} t_r \\ \frac{V_{DD} \cdot I_{S\max}}{(V_{SP} - V_{THN}) \cdot t_r} t - \frac{V_{THN} \cdot I_{S\max}}{(V_{SP} - V_{THN})}, & \frac{V_{THN}}{V_{DD}} t_r < t \leq \frac{V_{SP}}{V_{DD}} t_r \\ \frac{V_{DD} \cdot I_{S\max}}{(V_{SP} - V_{DD} + V_{THP}) \cdot t_r} t - \frac{(V_{DD} - V_{THP}) \cdot I_{S\max}}{(V_{SP} - V_{DD} + V_{THP})}, & \frac{V_{SP}}{V_{DD}} t_r < t \leq \frac{V_{DD} - V_{THP}}{V_{DD}} t_r \\ 0, & t \geq \frac{V_{DD} - V_{THP}}{V_{DD}} t_r \end{cases} \quad (3)$$

【0017】

ここで、 $I_{S\max}$ はCMOSインバータに流れ込む過渡電流（貫通電流）の最大値、 V_{DD} は電源電圧、 V_{THN} はn-MOSトランジスタのしきい電圧、 V_{THP} はp-MOSトランジスタのしきい電圧、 t_r は入力信号の立ち上がり遷移時間である。ただし、 V_{THP} は絶対値で示した。また、近似式を簡略化するため、入力電圧 V_{IN} の遷移開始時刻は0とし、遷移終了時刻 t_r で入力電圧は V_{DD} になるとした。

【0018】

入力信号の立ち下がり遷移に対するCMOSインバータの貫通電流波形 I_{Sf} についても同様に、

【0019】

【数2】

$$I_{sf} = \begin{cases} 0, & t \leq \frac{V_{THP}}{V_{DD}} t_f \\ \frac{V_{DD} \cdot I_{S\max}}{(V_{DD} - V_{THP} - V_{SP}) \cdot t_f} t - \frac{V_{THP} \cdot I_{S\max}}{(V_{DD} - V_{THP} - V_{SP})}, & \frac{V_{THP}}{V_{DD}} t_f < t \leq \frac{V_{DD} - V_{SP}}{V_{DD}} t_f \\ \frac{V_{DD} \cdot I_{S\max}}{(V_{THN} - V_{SP}) \cdot t_f} t - \frac{(V_{DD} - V_{THN}) \cdot I_{S\max}}{(V_{THN} - V_{SP})}, & \frac{V_{DD} - V_{SP}}{V_{DD}} t_f < t \leq \frac{V_{DD} - V_{THN}}{V_{DD}} t_f \\ 0, & t \geq \frac{V_{DD} - V_{THN}}{V_{DD}} t_f \end{cases} \quad (4)$$

【0020】

と求めることができる。ここで、 t_f は入力信号の立ち下がり遷移時間である。

念のためにこの場合の電源電流の立ち上がり開始時刻、最大値 I_{Smax} の時刻、立ち下り終了時刻を図2 b に、括弧を付けて示した。

さらに、CMOSインバータの出力信号線の寄生容量 C_{load} への充電電流 I_C は、出力信号線の電圧変化を $v_{out}(t)$ とすると次式であたえられる。

【0021】

【数3】

$$I_C = C_{load} \frac{dv_{out}(t)}{dt} \quad (5)$$

【0022】

これらの式は、インバータ以外の論理ゲートに対しても同様に求めることができる。

論理ゲートに流れ込む過渡電流 I_G は、そのほとんどが貫通電流であると仮定すると、図2 b に I_S で示すような三角パルスで近似できる。実際、CMOSインバータの過渡電流波形 I_G は、図1 a に示すような三角パルスを示す。したがって、論理ゲートの過渡電流 I_G は、図2 b に示すように、最大値 I_{Smax} になるまでは単調に増加し、最大値 I_{Smax} 以降は単調に減少する。また、 I_G が最大値 I_{Smax} となるのは、入力電圧 V_{IN} が論理ゲートのスイッチング電圧 V_{SP} になったときである。すなわち、図2 b に示すように、 I_G がピークとなる時刻と論理ゲートの入力遷移の時刻が一致する。論理ゲートは遅延時間をもつため、論理ゲートの出力遷移の時刻は入力遷移の時刻よりわずかに遅れる。すなわち、 I_G がピークとなる時刻は論理ゲートの出力遷移の時刻よりわずかに先行する。この場合、過渡電流波形 I_G の立ち下がりエッジ（立ち下り部分）が、出力遷移の時刻に一致すると考えることができる。さらに、論理ゲートの過渡電流波形 I_G のパルス幅は、入力電圧の遷移時間（たとえば立ち上がり遷移時間 t_r ）に比例する。

【0023】

これまででは、論理ゲートに流れ込む過渡電流 I_G の大部分が貫通電流 I_S であると仮定して議論してきた。しかし、CMOS 製造プロセスの微細化によって、ゲート遅延より配線遅延が支配的となる。これは、入力電圧の遷移時間が一定であ

ると仮定すると、CMOS論理ゲートに流れ込む過渡電流 I_G において、貫通電流 I_S の割合より出力信号線への充電電流 I_C の割合が大きくなることを意味する。このため、論理ゲートの過渡電流波形がピークとなる時刻は、充電電流 I_C と貫通電流 I_S の比に依存する。 I_C が I_S より小さいとき、過渡電流波形 I_G のピークは I_S のピークと一致する。 I_S のピークは入力電圧の遷移時刻と一致するため、 I_G のピークは論理ゲートの出力の遷移時刻より先行する。逆に、 I_C が I_S より大きいとき、過渡電流波形のピークは I_C のピークと一致する。充電電流 I_C は出力信号線の電圧遷移に関係するため、 I_G のピークは論理ゲートの出力時刻とほぼ一致する。

【0024】

図3 aに示すCMOS集積回路は、図1に示したインバータを直列に4つ（G1, G2, G3, G4）組み合わせたものであり、各インバータG1, G2, G3, G4をそれぞれ流れる過渡電流 I_{G1} , I_{G2} , I_{G3} , I_{G4} は通常一つの電源端子 T_{VD} から供給される。このため、集積回路の過渡電源電流（transient power supply current）応答は、図3 bに示すように各論理ゲートを流れる過渡電流の和として表され、次式で与えられる。

【0025】

【数4】

$$I_{DDT} = \sum_{n=1}^N I_{Gn} \quad (6)$$

【0026】

ここで、Nは入力されたテストパターン系列によりスイッチングする論理ゲートの数であり、図3の例では $N = 4$ である。

論理ゲートの過渡電流波形のピーク（または、立ち下がりエッジ）がその論理ゲートの出力の遷移時刻に対応することから、CMOS集積回路の過渡電源電流波形の最終ピーク（最終の立ち下がりエッジ）がCMOS集積回路において最後にスイッチングする論理ゲートの出力遷移時刻に一致する。したがって、CMOS集積回路の過渡電源電流波形の最終ピーク（最終の立ち下がりエッジ）を検出

し入力遷移の時刻と比較することにより、回路のバス遅延時間を求めることができる。ここで、過渡電源電流の最終の立ち下がりエッジの時刻は、たとえば、過渡電源電流がある既定の電流値となる時刻の最大値として求めることができる。この電流値は、被試験バス上の最後の論理ゲートの出力が電源電圧の半分の値となるときの電源電流の値であり、被試験回路に対する回路シミュレーションや実デバイスをもちいた統計データなどからもとめることができる。

【0027】

また、もとめた遅延時間を既定の時間（たとえば、システムクロックの周期 T_{CLK} ）と比較することにより、被試験バスにおける遅延故障を検出することができる。

遅延故障

最初に、遅延故障について定義する。CMOS論理回路において、2つのテストパターン v_1, v_2 をもつテストパターン系列 $T = \langle v_1, v_2 \rangle$ （電圧信号 V_1 の次に電圧信号 V_2 が続くことを表わす）をもちいてバス $P = \{g_0, g_1, g_2, \dots, g_m\}$ を活性化するときを考える。ここで、 g_0 はバス P の入力信号線であり、 g_1, g_2, \dots, g_m はバス P 上の論理ゲート G_1, G_2, \dots, G_m の出力信号線である。同時に、 g_0, g_1, \dots, g_{m-1} はバス P 上の論理ゲート G_1, G_2, \dots, G_m の入力信号線である。各信号線 g_0, g_1, \dots, g_m の信号遷移の時刻（電圧信号が $V_{DD}/2$ をよこぎる時刻）をそれぞれ $\tau_0, \tau_1, \dots, \tau_m$ とすると、バス P 上の各論理ゲート G_1, G_2, \dots, G_m のゲート遅延時間 $t_{gdi}, 1 \leq i \leq m$ は、それぞれ

$$t_{gdi} = \tau_i - \tau_{i-1} \quad (7)$$

であたえられる。したがって、バス P のバス遅延時間 t_{pd} は、ゲート遅延時間 t_{gdi} の和として、

【0028】

【数5】

$$t_{pd} = \sum_{i=1}^m t_{gdi} = \tau_m - \tau_0 \quad (8)$$

【0029】

で求めることができる。しかし、実際のゲート遅延時間 t_{gdi} は、故障の影響により変動する。

$$t_{gdi} = t_{gdi,typ} + \delta_i, \quad 1 \leq i \leq m \quad (9)$$

ここで、 $t_{gdi,typ}$ は論理ゲート G_i のゲート遅延時間の典型値であり、 δ_i はゲート遅延時間の変動成分である。たとえば、断線故障は、故障をもつ論理ゲートのゲート遅延時間のみを増加させ、ほかの論理ゲートの遅延時間を増加させない。また、パラメータ異常故障は、すべての論理ゲートの遅延時間を増加させる。ゲート遅延時間の変動にともなって、パス遅延時間 t_{pd} も同様に変動する。

【0030】

【数6】

$$t_{pd} = t_{pd,typ} + \Delta = \sum_{i=1}^m (t_{gdi,typ} + \delta_i) \quad (10)$$

【0031】

ここで、 $t_{pd,typ}$ はバス P のバス遅延時間の典型値であり、 Δ はバス遅延時間の変動成分である。

図4に遅延故障試験方法の基本原理を模式的に示す。図4 a の被試験回路 (C U T) が正常に動作するためには、入力ラッチに生成された信号遷移がバス P をとおって出力ラッチまで既定の時間内に伝搬しなければならない。したがって、図4 b に示す入力 V_{IN} 及び出力 V_{OUT} の関係と、システムクロック CLK との関係からバス P のバス遅延時間 t_{pd} は以下の条件を満たさなければならない。

【0032】

$$t_{pd} + T_{SU} < T_{CLK} - T_{SKW} \quad (11)$$

ここで、 T_{SU} は信号のセットアップ時間、 T_{CLK} はシステムクロックの周期、 T_{SKW} はシステムクロックのクロックスキュー (ジッタでありエッジが土に変動する) である。变形すると、

$$t_{pd} < T_{CLK} - T_{SKW} - T_{SU} \equiv T \quad (12)$$

となる。すなわち、バス P のバス遅延時刻 t_{pd} は、クロック周期からセットアッ

ブ時間やクロックスキューなどのマージンをひいた時間（これをT'とする）より小さくなければならない。もし、 t_{pd} がT'より大きければ、パスPに沿った信号伝搬がシステムクロックに間に合わず、回路は正しい動作をしない。この状態を遅延故障と定義する。すなわち、 t_{pd} がある既定の時間T'より大きいとき、パスPは遅延故障をもつと定義する。ここで、T'は、許容できる遅延時間の上限値である。

断線故障（遅延故障を伴う）

つぎに、遅延故障を生じる断線故障について定義する。断線故障は、故意でない電気的不連続であり、ある信号線を二つ以上の異なる信号線に分割する。断線故障には、金属の欠損や酸化膜による断線コンタクト、パターニング不良やエッチング不良などによる金属配線断線、マスク不良などによる拡散層あるいはポリシリコンにおける断線などが含まれる。また、断線故障は、図5aに示すように“論理故障”を生じる断線故障と図5bに示すように“遅延故障”を生じる断線故障の二つのタイプに分類できる。論理故障を生じる断線故障は、断線の規模が大きく故障の両端の信号線に電圧をあたえても電流が流れないとため、信号遷移に伴う寄生容量の充放電がおこなわれず論理がある一定の値に固定される論理故障を生じる。これに対し、遅延故障を生じる断線故障では、故障の両端の信号線に電圧をあたえると微小な電流が流れるが、その電流量は正常時より小さいため、信号遷移に伴う寄生容量の充放電が遅くなり、回路の遅延時間が増加する。遅延故障を生じる断線故障には、コンタクトなどの不良により信号線間の抵抗値が正常値より大きくなってしまったり、信号線に生じた不良などにより信号線の抵抗値が正常値より大きくなってしまう抵抗性断線故障と、トンネル効果により断線故障を通してごく微量なリーク電流が流れる非常に小さな(<100nm)微小断線故障がある。微小断線故障を流れるトンネル電流については、たとえば、C.L.Henderson, J.M.Soden, and C.F.Hawkins, "The Behavior and Testing Implications of CMOS IC Logic Gate Open Circuits," Proceedings of IEEE International Test Conference, pp.302-310, 1991.に記載されている。この明細書では、遅延故障を生じる断線故障を対象とし、これを単に断線故障と呼ぶ。

遅延故障検出方法（過渡電源電流パルス幅利用）

つぎに、上で述べた過渡電源電流のパルス幅を利用して遅延故障を検出する方法について述べる。上記方法は、被試験回路の電源電流波形のパルス幅を測定し、既定の時間と比較する方法である。上記方法の基本原理を図6に示す。

【0033】

CMOS論理回路において、2つのテストパターン v_1, v_2 を持つテストパターン系列 $T = \langle V_1, V_2 \rangle$ により複数のパス P_1, P_2, \dots, P_n が活性化されるとする。パス P_i 上の入力から数えて j 番目の論理ゲートがスイッチングする時刻を τ_{ij} とすると、各パス P_1, \dots, P_n により論理ゲートの数は異なり、パス P_1, P_2, \dots, P_n においてもっとも遅くスイッチングする論理ゲート G_{final} の出力遷移の時刻 τ_{max} は、

【0034】

【数7】

$$\tau_{max} = \max_{i,j} \{\tau_{ij}\}, \quad 1 \leq i \leq n, 1 \leq j \quad (13)$$

【0035】

であたえられる。したがって、パス P_1, P_2, \dots, P_n におけるパス遅延時間の最大値 $t_{pd,max}$ は、 τ_{max} と入力遷移の時刻 τ_0 のあいだの時間間隔としてつぎのようにもとめることができる。

$$t_{pd,max} = \tau_{max} - \tau_0 \quad (14)$$

一方、CMOS論理回路の過渡電源電流波形のパルス幅 t_{PW} を、回路入力の信号遷移の時刻 τ_0 と過渡電源電流波形の最終ピーク（立ち下がりエッジ）の時刻 τ_{IDD} のあいだの時間間隔と定義する。

【0036】

$$t_{PW} \equiv \tau_{IDD} - \tau_0 \quad (15)$$

前に述べたように、過渡電源電流波形の最終ピークの時刻 τ_{IDD} は、最後にスイッチングする論理ゲート G_{final} の出力遷移時刻 τ_{max} より先行し、過渡電源電流波形の立ち下がりエッジは最後にスイッチングする論理ゲート G_{final} の出力遷移時刻 τ_{max} と一致する。従って過渡電源電流波形のパルス幅 t_{PW} は、テスト

パターンTにより活性化されるパスPの遅延時間 $t_{pd,max}$ に対応する。

【0037】

$$t_{PW} = \tau_{IDD} - \tau_0 \leq \tau_{max} - \tau_0 = t_{pd,max} \quad (16)$$

もし、 t_{PW} が許容できる遅延時間の上限値 T' より大きいならば、

$$T' < t_{PW} \leq t_{pd,max} \quad (17)$$

となる。もっとも大きな遅延時間 $t_{pd,max}$ をもつパスにおいて、信号の伝搬がシステムロックに間に合わない。すなわち、回路には遅延故障が存在する。したがって、 T' より大きい t_{PW} は活性化されたパスのいずれかに遅延故障があることを示し、 T' より小さい t_{PW} は活性化されたパスのいずれにも遅延故障が存在しないことを示す。

【0038】

遅延故障なし、 $t_{PW} \leq T'$

遅延故障あり、 $t_{PW} > T'$ (18)

以上のように、過渡電源電流波形のパルス幅 t_{PW} を既定の時間 T' と比較することにより、回路の遅延故障をテストすることができる。

また、図1に示すように、論理ゲートの過渡電源電流はピーク値以降単調に減少することから、図3に示すCMOS集積回路の電源電流は、同集積回路において最後にスイッチングする論理ゲートの出力遷移時刻以降単調に減少する。つまり、故障のないCMOS集積回路において、最後にスイッチングする論理ゲートの出力遷移時刻を τ_{max} とし、時刻 τ_{max} における過渡電源電流の瞬時値を I' とすると、 τ_{max} 以後CMOS集積回路の過渡電源電流が I' より大きくなることはない。

【0039】

この原理をもちい、ある既定時刻におけるCMOS集積回路の過渡電源電流の瞬時値を測定することにより、被試験回路における遅延故障を検出することができる。ここで、故障検出の判断基準となる電流値 I' は、被試験バス上の最後の論理ゲートの出力が電源電圧の半分の値となるときの電源電流の値であり、被試験回路に対する回路シミュレーションや実デバイスをもちいた統計データなどからもとめることができる。

遅延故障検出方法（過渡電源電流瞬時値利用）

つぎに、上で述べた過渡電源電流の瞬時値を利用して遅延故障を検出する方法について述べる。上記方法は、規定の時刻における被試験回路の過渡電源電流の瞬時値を測定し、遅延故障のないゴールデン回路の過渡電源電流値と比較する方法である。上記方法の基本原理を図7に示す。

【0040】

CMOS論理回路において、テストパターン系列 $T = \langle V_1, V_2 \rangle$ により複数のパス P_1, P_2, \dots, P_n が活性化されるとする。パス P_i 上の入力から数えて j 番目の論理ゲートがスイッチングする時刻を τ_{ij} とすると、パス P_1, P_2, \dots, P_n においてもっとも遅くスイッチングする論理ゲート G_{final} の出力遷移の時刻 τ_{max} は、

【0041】

【数8】

$$\tau_{max} = \max_{i,j} \{\tau_{ij}\}, \quad 1 \leq i \leq n, 1 \leq j \quad (19)$$

【0042】

あたえられる。したがって、パス P_1, P_2, \dots, P_n におけるパス遅延時間の最大値 $t_{pd,max}$ は、 τ_{max} と入力遷移の時刻 τ_0 の間の時間間隔としてつぎのように求めることができる。

$$t_{pd,max} = \tau_{max} - \tau_0 \quad (20)$$

前にも述べたように、論理ゲートの出力遷移の時刻が論理ゲートの過渡電源電流のピークまたは立ち下がりの時刻に一致するので、 τ_{max} は回路の過渡電源電流波形 i_{DDT} の最終ピークまたは立ち下がりエッジの時刻 τ_{IDD} に対応する。論理ゲートの電源電流 I_G は三角波で近似でき、 G_{final} は最後にスイッチングするゲートであるから、 τ_{max} 以降に電源電流のピークをもつ論理回路は存在しない。したがって、 $t \geq \tau_{max}$ なる時刻 t において電源電流波形関数 $i_{DDT}(t)$ は、単調減少関数である。すなわち、電源電流波形の時間関数を $i_{DDT}(t)$ とし、時刻 τ_{ma} _x における電源電流の瞬時値を

$$I' \equiv i_{DDT}(\tau_{max}) \quad (21)$$

とすると、 $t \geq \tau_{max}$ なる t において、

$$i_{DDT}(t) \leq i_{DDT}(\tau_{max}) = I', \quad t \geq \tau_{max} \quad (22)$$

が成立する。回路が正常に動作するためには、 $t_{pd,max}$ が遅延時間の上限値 T'
 $(= T_{CLK} - T_{SKEW} - T_{SU})$ より小さくなければならない。

【0043】

$$t_{pd,max} = \tau_{max} - \tau_0 < T' \quad (23)$$

したがって、回路に故障がないとき、 $t = T' + \tau_0 > \tau_{max}$ なる時刻 t において
 式 (22) より

$$i_{DDT}(T' + \tau_0) \leq I' \quad (24)$$

が成立する。もし、 $T' + \tau_0$ における i_{DDT} の瞬時値が I' より大きいならば、
 つまり、

$$i_{DDT}(T' + \tau_0) > I' = i_{DDT}(\tau_{max}) \quad (25)$$

ならば、式 (22) より $T' + \tau_0$ が τ_{max} より大きいことはありえないで、

$$\tau_{max} > T' + \tau_0 \quad (26)$$

$$\therefore t_{pd,max} = \tau_{max} - \tau_0 > T' \quad (27)$$

となる。もっとも大きな遅延時間 $t_{pd,max}$ をもつパスにおいて、信号の伝搬がシ
 ステムクロックに間に合わない。すなわち、回路には遅延故障が存在する。した
 がって、時刻 $T' + \tau_0$ における電源電流値 $i_{DDT}(T' + \tau_0)$ が I' より大き
 いということは、活性化されたパスのいずれかに遅延故障があることを示す。逆
 に、 $i_{DDT}(T' + \tau_0)$ が I' より小さいということは、活性化されたパスのい
 ずれにも遅延故障が存在しないことを示す。

【0044】

遅延故障なし、 $i_{DDT}(T' + \tau_0) \leq I'$

遅延故障あり、 $i_{DDT}(T' + \tau_0) > I'$ (28)

以上のように、ある既定の時刻における i_{DDT} の瞬時値を故障のない回路の I
 DDT レベルと比較することにより、回路の遅延故障を検出することができる。

過渡電源電流積分値

さらに、式 (3) および式 (4) より、貫通電流 I_{Sr} および I_{Sf} の時間積分値

Q_{Sr} および Q_{Sf} は、それぞれ、

【0045】

【数9】

$$Q_{Sr} = \int_{-\infty}^{\infty} I_{Sr} dt = \frac{I_{S\max} (V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_r \quad (29)$$

$$Q_{Sf} = \int_{-\infty}^{\infty} I_{Sf} dt = \frac{I_{S\max} (V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_f \quad (30)$$

【0046】

であたえられる。したがって、スイッチングのとき論理ゲートを流れる貫通電流の積分値 Q_S は、

【0047】

【数10】

$$Q_S = \int_{-\infty}^{\infty} I_S dt = \frac{I_{S\max} (V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_r \propto t_r \quad (31)$$

【0048】

であたえられる。ここで、 t_T は入力信号の遷移時間である。すなわち、論理ゲートに流れ込む貫通電流 I_S (I_{Sr} または I_{Sf}) の積分値 Q_S は、論理ゲートの入力遷移時間 t_T に比例する。また、 Q_S は、入力信号の遷移方向が立ち上がり遷移であるか、立ち下がり遷移であるかに関係ないことがわかる。

CMOSインバータの出力負荷容量 C_{load} への充電電流 I_C の積分値 Q_C は式(5)より

【0049】

【数11】

$$\begin{aligned} Q_C &= \int_{-\infty}^{\infty} I_C dt = \int_{-\infty}^{\infty} C_{load} \frac{dv_{out}(t)}{dt} dt \\ &= C_{load} [v_{out}(t)]_{-\infty}^{\infty} = C_{load} (V_{DD} - 0) = C_{load} V_{DD} \end{aligned} \quad (32)$$

【0050】

であたえられ、CMOSインバータの入力遷移時間 t_T には依存しない。

したがって、論理ゲートを流れる過渡電流 I_{Gf} および I_{Gr} の積分値 Q_{Gf} および Q_{Gr} は、式(1), (2), (31), (32)より、

【0051】

【数12】

$$Q_{Gf} = \int_{-\infty}^{\infty} (I_{sf} + I_C) dt = \frac{I_{s\max} (V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T + C_{load} V_{DD} \propto t_T \quad (33)$$

$$Q_{Gr} = \int_{-\infty}^{\infty} I_{sr} dt = \frac{I_{s\max} (V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T \propto t_T \quad (34)$$

【0052】

ともとめられる。すなわち、論理ゲートの過渡電流の積分値は論理ゲートの入力遷移時間に比例する。図8に、インバータの入力遷移時間を変化させたときのインバータの過渡電流の積分値の変化に関する回路シミュレーションの結果を示している。これらからも、式(33), (34)の考察が正しいことがわかる。

図3aに示すCMOS集積回路は、図1に示したインバータを直列に4つ(G_1, G_2, G_3, G_4)組み合わせたものであり、各インバータを流れる電流($I_{G1}, I_{G2}, I_{G3}, I_{G4}$)は通常一つの電源から供給される。このため、集積回路の過渡電源電流応答 I_{DDT} は、図3bのように各論理ゲートを流れる電流の和として表される(式(6))。したがって、過渡電源電流 I_{DDT} の積分値 Q_{DDT} も、各論理ゲートを流れる電流の積分値 Q_{Gn} ($1 \leq n \leq N$) の和として表される。Nは入力されたテストパターン系列によりスイッチングする論理ゲートの数であり、図3aの場合は $N = 4$ である。

【0053】

【数13】

$$Q_{DDT} = \int_{-\infty}^{\infty} I_{DDT} dt = \int_{-\infty}^{\infty} \left(\sum_{n=1}^N I_{Gn} \right) dt = \sum_{n=1}^N \int_{-\infty}^{\infty} I_{Gn} dt = \sum_{n=1}^N Q_{Gn} \quad (35)$$

【0054】

図3の例では、過渡電源電流 I_{DDT} の積分値 Q_{DDT} は、各インバータを流れる電流

の積分値 (Q_{G1} , Q_{G2} , Q_{G3} , Q_{G4}) の和として表される。

各論理ゲートを流れる電流の積分値 Q_{Gn} ($1 \leq n \leq N$) は、式(33)または式(34)に示すように、各論理ゲートの入力遷移時間 t_{Tn} ($1 \leq n \leq N$) にそれぞれ比例することから、 Q_{DDT} は t_{Tn} ($1 \leq n \leq N$) の線形多項式であたえられる。たとえば、図3の例では、 Q_{DDT} は各インバータの入力遷移時間 (t_{T1} , t_{T2} , t_{T3} , t_{T4}) の線形多項式であたえられる。

【0055】

【数14】

$$Q_{DDT} = \sum_{n=1}^N Q_{Gn} = \sum_{n=1}^N Q_{Sn} + \sum_{n=1}^N Q_{Cn} = \sum_{n=1}^N a_n t_{Tn} + b \quad (36)$$

【0056】

式(36)において、 a_n は論理ゲート G_n の貫通電流の積分値 Q_{Sn} と論理ゲート G_n の入力遷移時間 t_{Tn} の間の比例係数であり、 b は各論理ゲートに流れ込む充電電流 Q_{Cn} の和で表される定数項である。

断線故障

この原理をもちいることにより、被試験バスにおける断線故障と断線故障による遅延故障を検出することができる。

【0057】

断線故障は、故障をとおして小さな電流が流れるため、大きな抵抗 R_{open} でモデル化できる。図9 a に、入力に断線故障をもつ CMOS インバータの例を示す。入力信号線 A に図9 b に示す信号遷移が生じるとき、断線故障により、断線箇所に後続する信号線 A' の信号遷移が図9 c に示すように遅くなる。このとき、信号線 A' の信号遷移時間 t_T は、断線故障の抵抗を R_{open} 、インバータの入力における寄生容量を C_{in} とすると、

【0058】

【数15】

$$t_T = t_{T,typ} + 2.2R_{open}C_{in} \quad (37)$$

【0059】

あたえられる。ここで、 $t_{T,typ}$ は故障がない場合の入力信号の遷移時間の典型値であり、遷移時間 t_T は電圧値が $0.1V_{DD}$ から $0.9V_{DD}$ まで立ち上がる（または、電圧値が $0.9V_{DD}$ から $0.1V_{DD}$ まで立ち下がる）のに要する時間としてもとめた。2. $2R_{open}C_{in}$ は C_{in} が $0.1V_{DD}$ から $0.9V_{DD}$ になるまでの時であり $\log_e(0.9V_{DD}/0.1V_{DD}) \times R_{open}C_{in}$ により求めた値である。すなわち、インバータの入力信号の遷移時間の増分は、断線故障の抵抗値 R_{open} に比例する。したがって、被試験バス上の k 番目のインバータの入力に断線故障があるとき、CMOS集積回路の電源電流の積分値 Q_{DDT} は、式 (36) , (37) より、式 (38) が求まり、断線故障の抵抗値 R_{open} に応じて線形に変化し、その増分は断線故障の抵抗値 R_{open} に比例する。

【0060】

【数16】

$$\begin{aligned} Q_{DDT} &= \sum_{n=1}^N a_n t_{Tn} + b = \left(\sum_{n=1}^N a_n t_{Tn,typ} + b \right) + 2.2a_k C_{in} R_{open} \\ &= Q_{DDT,typ} + 2.2a_k C_{in} R_{open} \propto R_{open} \end{aligned} \quad (38)$$

【0061】

ここで、 $Q_{DDT,typ}$ は故障がない場合の電源電流の積分値の典型値とする。式 (38) の右辺第2項の $2a_k C_{in} R_{open}$ は k 番目のインバータの入力断線故障にもとづく加算量である。この式 (38) は、図10に示す R_{open} に対する Q_{DDT} の変化のシミュレーション結果とも一致する。図10は、図3に示した回路において、インバータIN2の入力信号線に断線故障があるときの、断線故障の抵抗値 R_{open} に対する Q_{DDT} の変化をプロットしたものである。

【0062】

したがって、過渡電源電流の積分値 Q_{DDT} を測定し、故障のない回路の過渡電源電流の積分値 $Q_{DDT,typ}$ と比較することにより、被試験バス上の論理ゲートの入力段に存在する断線故障を検出することができる。実際のCMOS製造プロセスでは、プロセスパラメータのばらつきによって、過渡電源電流の積分値は図1-1に示すように $Q_{DDT,typ} \pm \Delta_Q$ の範囲で変動する。ここで、 Δ_Q は過渡電源電流の積分値の変動分である。このため、 Q_{DDT} が故障のない回路において生じうる過渡電源電流の積分値の上限値 $Q_{DDT,typ} + \Delta_Q$ より大きいとき、被試験バス上に断線故障があると判断することができる。すなわち、 $Q_{DDT,typ} + \Delta_Q$ より小さい Q_{DDT} はCMOS集積回路に断線故障がないことを示し、 $Q_{DDT,typ} + \Delta_Q$ より大きい Q_{DDT} はCMOS集積回路に断線故障が存在することを示す。

【0063】

$$\text{断線故障なし}, Q_{DDT} \leq Q_{DDT,typ} + \Delta_Q$$

$$\text{断線故障あり}, Q_{DDT} > Q_{DDT,typ} + \Delta_Q \quad (39)$$

ここで、 $Q_{DDT,typ}$ および Δ_Q はプロセス変動に関するシミュレーションなどにより導出できる。

入力段故障による遅延故障検出方法（過渡電源電流積分値利用）

つぎに、上で述べた過渡電源電流の時間積分値を利用して遅延故障を検出する方法について述べる。上記方法は、被試験回路の過渡電源電流の積分値を測定し、所定の値と比較することによって遅延故障を評価する方法である。

【0064】

論理ゲートのゲート遅延時間 t_{gd} は、入力信号の遷移時間 t_T に比例する。（Neil H.E.Weele著者 “Principles of CMOS VLSI Design-A Systems Perspective” Second Edition, Addison-Weely Publishing Company. 1999年発行の216～217頁の式4.52, 式4.53による）

【0065】

【数17】

$$t_{gd} = t_{gd,step} + \frac{1}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) t_T \quad (40)$$

【0066】

ここで、 $t_{gd,step}$ は遷移時間 0 のステップ入力に対する故障のないインバータの遅延時間である。また、 V_{TH} は p-MOS または n-MOS のしきい値電圧であり、入力の立ち上がり遷移に対しては $V_{TH} = V_{THN}$ 、入力の立ち下がり遷移に対しては $V_{TH} = V_{THP}$ であたえられる。したがって、入力信号線上に抵抗 R_{open} でモデル化できる断線故障をもつ論理ゲートのゲート遅延時間 t_{gd} は、論理ゲートの入力遷移時間が式 (37) であたえられることから、式 (40) に式 (37) を代入して、

【0067】

【数18】

$$\begin{aligned}
 t_{gd} &= t_{gd,step} + \frac{t_T}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \\
 &= t_{gd,step} + \frac{t_{T,typ} + 2.2R_{open}C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \\
 &= t_{gd,step} + \frac{t_{T,typ}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) + \frac{2.2C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{gd,typ} + \frac{2.2C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \propto R_{open}
 \end{aligned} \tag{41}$$

【0068】

ともとめることができる。ここで、 $t_{gd,typ}$ は故障のない論理ゲートのゲート遅延時間の典型値である。すなわち、断線故障をもつ論理ゲートのゲート遅延時間 t_{gd} は故障の抵抗値 R_{open} によって変化し、ゲート遅延時間の増分 δ は故障の抵抗値 R_{open} に比例する。ゆえに、被試験バス上のいずれかの論理ゲートの入力に断線故障があるとき、被試験バスのバス遅延時間 t_{pd} も R_{open} に比例する。M は論理ゲートの数である。このことを式で示すと、式 (10) に式 (41) を代入して式 (42) が得られることから理解される。

【0069】

【数19】

$$\begin{aligned}
 t_{pd} &= \sum_{i=1}^m t_{gdi} \\
 &= \sum_{i=1}^m t_{gdi,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{pd,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \propto R_{open}
 \end{aligned} \tag{42}$$

【0070】

これは、図12に示す R_{open} に対する t_{pd} の変化のシミュレーション結果とも一致する。図12は、図3に示した回路において、インバータIN2の入力信号線に断線故障があるときの、断線故障の抵抗値 R_{open} に対する t_{pd} の変化をプロットしたものである。

バスP上のある論理ゲート G_k の入力に断線故障が存在するとき、 G_k の貫通電流の積分値 Q_{Sk} は、式(31)および式(37)より、

【0071】

【数20】

$$\begin{aligned}
 Q_{Sk} &= \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_{Tk} \\
 &= \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} (t_{Tk,typ} + 2.2R_{open}C_{ink}) \\
 &= \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} \cdot t_{Tk,typ} + \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} \cdot 2.2R_{open}C_{ink} \\
 &= Q_{Sk,typ} + \frac{2.2I_{Smax}(V_{DD} - V_{THN} - V_{THP})C_{ink}}{2V_{DD}} \cdot R_{open}
 \end{aligned}$$

【0072】

ともとめられる。したがって、集積回路の過渡電源電流の積分値 Q_{DDT} は、式(36)より、

【0073】

【数21】

$$\begin{aligned}
 Q_{DDT} &= \sum_{n=1}^N Q_{Gn} \\
 &= \sum_{n=1}^N Q_{Sn} + \sum_{n=1}^N Q_{Cn} \\
 &= \sum_{n=k}^N Q_{Sn,typ} + Q_{Sk,typ} + \frac{2.2I_{S_{max}}(V_{DD} - V_{THN} - V_{THP})C_{ink}}{2V_{DD}} \cdot R_{open} + \sum_{n=1}^N Q_{Cn} \\
 &= \sum_{n=1}^N Q_{Sn,typ} + \sum_{n=1}^N Q_{Cn} + \frac{2.2I_{S_{max}}(V_{DD} - V_{THN} - V_{THP})C_{ink}}{2V_{DD}} \cdot R_{open} \\
 &= Q_{DDT,typ} + \frac{2.2I_{S_{max}}(V_{DD} - V_{THN} - V_{THP})C_{ink}}{2V_{DD}} \cdot R_{open} \quad (43)
 \end{aligned}$$

【0074】

となり、回路の過渡電源電流の積分値 Q_{DDT} も、断線故障の抵抗値 R_{open} に比例する。

したがって、式(42)および式(43)より、断線故障をもつバスPの遅延時間 t_{pd} は、CMOS集積回路の過渡電源電流の積分値 Q_{DDT} に対して線形に変化する。これは、図13に示す Q_{DDT} に対する t_{pd} の変化のシミュレーション結果とも一致する。図13は、図3に示した回路において、インバータIN2の入力信号線に断線故障があるときの、過渡電源電流の積分値 Q_{DDT} に対する t_{pd} の変化をプロットしたものである。

【0075】

式(43)より求めた R_{open} を式(42)に代入すると式(44)が得られる

【0076】

【数22】

$$\begin{aligned}
 t_{pd} &= t_{pd,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{pd,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \cdot \frac{(Q_{DDT} - Q_{DDT,typ}) \cdot 2V_{DD}}{2.2I_{Smax}(V_{DD} - V_{THN} - V_{THP})C_{ink}} \\
 &= t_{pd,typ} + \frac{V_{DD} - 2V_{TH}}{3I_{Smax}(V_{DD} - V_{THN} - V_{THP})} (Q_{DDT} - Q_{DDT,typ})
 \end{aligned} \tag{44}$$

【0077】

パス遅延時間 t_{pd} が許容できる遅延時間の上限値 T' となるときの過渡電源電流の積分値を Q_{max} とすると、式 (44) において $t_{pd} = T'$, $Q_{DDT} = Q_{max}$ とおいて Q_{max} を求めると式 (45) となる。

【0078】

【数23】

$$Q_{max} = Q_{DDT,typ} + \frac{3I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{V_{DD} - 2V_{TH}} (T' - t_{pd,typ}) \tag{45}$$

【0079】

この Q_{max} は、遅延故障のない CMOS 集積回路の過渡電源電流の積分値 Q_{DDT} の上限値である。すなわち、 Q_{DDT} が Q_{max} より小さいとき CMOS 集積回路には遅延故障が存在せず、 Q_{DDT} が Q_{max} より大きいとき CMOS 集積回路に断線故障による遅延故障が存在すると判断することができる。

遅延故障なし, $Q_{DDT} \leq Q_{max}$

遅延故障あり, $Q_{DDT} > Q_{max}$ (46)

以上のように、過渡電源電流の積分値 Q_{DDT} を既定値 Q_{max} と比較することにより、回路の遅延故障をテストすることができる。ここで、既定値 Q_{max} は、回路シミュレーションや統計データから式 (45) をもちいてもとめることができる。

【0080】

過渡電源電流は、集積回路の電源ピンを流れる過渡電流であり、電圧信号より高い可観測性が保証されている。このため、過渡電源電流をもちいた遅延故障試験方法は、電圧信号をもちいた遅延故障試験方法より、高い遅延故障の可観測性を保証することができる。たとえば、電圧信号をもちいた遅延故障試験方法は、電圧信号が集積回路の出力信号線まで伝搬しなければ遅延故障を検出できないのに対し、過渡電源電流信号をもちいた遅延故障試験方法は、たとえ電圧信号が集積回路の出力信号線まで伝搬しなくとも、電圧信号が伝搬したパスの遅延時間に応じてパルス幅をもつ過渡電源電流信号が観測可能であるので、遅延故障を検出することができる。また、これに伴って、過渡電源電流信号をもちいた遅延故障試験方法は、電圧信号を集積回路の出力信号線まで伝搬させる必要がないので、電圧信号を集積回路の出力信号線まで伝搬させる必要がある電圧信号をもちいた従来の遅延故障試験方法に比べ、テストパターン生成の制約が少ない。このため、テストパターン生成を容易にすることができる。極端な例では、たとえテストパターン系列をランダムに選択した場合でも、過渡電源電流信号をもちいた遅延故障試験方法は、選択されたテストパターン系列により活性化されるパスの遅延故障を検出することができる。

故障リスト生成方法

つぎに、この発明の故障リスト生成方法について説明する。図14に被試験C MOS集積回路の一例を示す。この被試験集積回路は、3つの入力端子I1, I2, I3, 2つの出力端子O1, O2, 3つの内部信号ノードN1, N2, N3, 5つの論理ゲートG1, G2, G3, G4, G5をもち、入力端子I1はインバータ論理ゲートG1の入力側に接続され、その出力側はノードN1を通じてNAND論理ゲートG3の一方の入力側に接続され、入力端子I2, I3はNAND論理ゲートG2の入力側に接続され、その出力側はノードN2を通じて論理ゲートG3の他方の入力側に接続され、その出力側はノードN3を通じてインバータ論理ゲートG4の入力側とNOR論理ゲートG5の一方の入力側に接続され、論理ゲートG5の他方の入力側に入力端子I3が接続され、論理ゲートG4, G5の各出力側に出力端子O2, O3が接続されている。また、図に示していないが論理ゲートG1, G2, G3, G4, G5は共通の電源端子に接続されてい

る。

【0081】

上記被試験CMOS集積回路に対しておこなった故障シミュレーション結果の一例を図15に示す。図15において、第1列はテストパターン系列の識別子を示す。図15の第2列は被試験CMOS集積回路の入力端子I1, I2, I3にあたえる入力信号（テストパターン系列）を示し、第3列は各テストパターン系列をあたえたとき、故障がない被試験CMOS集積回路の内部信号ノードN1, N2, N3に生じる信号を示し、第4列は各テストパターン系列をあたえたとき、故障がない被試験CMOS集積回路の出力端子O1, O2に生じる信号を示す。ここで、図15の第2、第3、第4列における信号“0”, “1”, “R”, “F”は、それぞれ、常時ローレベルの信号<“0”, “0”>(<>内の第1要素は初期信号値を示し、第2要素は最終信号値を示す)、常時ハイレベルの信号(<“1”, “1”>)、ローレベルからハイレベルへの立ち上がり信号(<“0”, “1”>)、ハイレベルからローレベルへの立ち下がり信号(<“1”, “0”>)を示す。このため、各テストパターン系列は2つのテストパターンからなり、たとえば、テストパターン系列T1 = “00R”はI1, I2, I3 = <“000”, “001”>を意味する。つまり“000”及び“001”はそれぞれテストパターンであり、“000”, “001”的列はテストパターン系列である。図15の第5列は、各テストパターン系列をあたえたとき過渡電源電流をもちいた試験で検出可能な故障論理ゲートの集合（故障個所リスト）を示す。

【0082】

論理ゲートが遅延故障や断線故障をもつとき、論理ゲートのスイッチング動作が遅くなり、これに伴って論理ゲートの過渡電源電流波形が変化するため、被試験集積回路の過渡電源電流は異常を示す。このため、あるテストパターン系列をあたえ過渡電源電流に異常が生じるか否かを観測することによって、上記入力テストパターン系列によりスイッチング動作を生じる論理ゲートに対し、これらの論理ゲートが故障しているか否かを判別することができる。たとえば、図14に示す被試験CMOS集積回路にテストパターン系列T₂をあたえると、図中に信

号状態を示すように被試験CMOS集積回路内の論理ゲートG2, G3, G4, G5にスイッチング動作を生じ、内部信号ノード（信号線）N2, N3および出力端子O1, O2に遷移信号が生じる。したがって、論理ゲートG2, G3, G4, G5のいずれかに故障が存在するとき、テストパターン系列T2をもちいた過渡電源電流試験において過渡電源電流に異常が観測される。すなわち、テストパターン系列T2をもちいた過渡電源電流試験により、論理ゲートG2, G3, G4, G5の故障を検出できる。したがって、テストパターン系列T2に対する故障個所リストは、以上の故障シミュレーションによりGT2 = {G2, G3, G4, G5}ともとめることができる。

【0083】

以上により、あるテストパターン系列で検出可能な論理ゲート単位の故障リストを生成することができる。さらに、この発明の故障リスト生成方法は、論理ゲート単位での故障リスト生成に限定されるものではなく、集積回路内部の信号線に故障を仮定することにより信号線を単位として故障リストを生成することもできる。

図16に被試験CMOS集積回路を示す。被試験集積回路は、3つの入力端子I1, I2, I3、2つの出力端子O1, O2、5つの論理ゲートG1, G2, G3, G4, G5をもち、12の信号線L1, L2, …, L12をもつ。ここで、信号線には入出力信号線も含むものとし、分岐した信号線はそれぞれ別々の信号線とした。また、出力信号線L11, L12は出力バッファG6, G7に接続されているものとする。つまり入力端子I1は信号線L1を通じてインバータ論理ゲートG1の入力側に接続され、入力端子I2, I3はそれぞれ信号線L2, L3, L4を通じてNAND論理ゲートG2の入力側に接続され、論理ゲートG1, G2の各出力側は信号線L6, L7を通じてNAND論理ゲートG3の入力側に接続され、論理ゲートG3の出力側は信号線L8, L9を通じてインバータ論理ゲートG4の入力側と、信号線L8, L10を通じてNOR論理ゲートG5の一方の入力側とに接続され、論理ゲートG5の他方の入力側に入力端子I3が信号線L3, L5を通じて入力側に接続され、論理ゲートG4の出力側は信号線L11、バッファG6を通じて出力端子O1に接続され、論理ゲートG5の出

力側は信号線L12、バッファG7を通じて出力端子O2に接続される。図に示していないが論理ゲートG1～G5および出力バッファG6, G7の各電源端子は共通の電源に接続されている。

【0084】

上記被試験CMOS集積回路に対しておこなった故障シミュレーション結果の一例を図17に示す。図17において、第1列はテストパターン系列の識別子を示す。図17の第2列は被試験CMOS集積回路の入力端子I1, I2, I3にあたえる入力信号を示し、第3列は各テストパターン系列をあたえたとき被試験CMOS集積回路の信号線L1, L2, …, L12に生じる信号を示し、第4列は各テストパターン系列をあたえたとき被試験CMOS集積回路の出力端子O1, O2に生じる信号を示す。ここで、図17の第2、第3、第4列における信号“0”, “1”, “R”, “F”は、それぞれ、常時ローレベルの信号<“0”>, “0”>(<>内の第1要素は初期信号値を示し、第2要素は最終信号値を示す)、常時ハイレベルの信号(<“1”, “1”>)、ローレベルからハイレベルへの立ち上がり信号(<“0”, “1”>)、ハイレベルからローレベルへの立ち下がり信号(<“1”, “0”>)を示す。このため、各テストパターン系列は2つのテストパターンからなり、たとえば、テストパターン系列T1 = “00R”はI1I2I3 = <“000”, “001”>を意味する。図17の第5列は、各テストパターン系列をあたえたとき過渡電源電流をもちいた試験で検出可能な故障信号線の集合、すなわち、故障個所リストを示す。集積回路内部の信号線が断線故障をもつとき、その故障信号線を入力とする論理ゲートのスイッチング動作が遅くなり、これに伴って論理回路の過渡電源電流波形が変化するため、被試験集積回路の過渡電源電流は異常を示す。このため、あるテストパターン系列をあたえ過渡電源電流に異常が生じるか否かを観測することによって、上記入力テストパターン系列によりスイッチング動作を生じる信号線に対し、これらの信号線を入力とする論理ゲートがスイッチング動作を生じるとき、これらの論理回路が故障しているか否かを判別することができる。

【0085】

たとえば、図16に示した被試験CMOS集積回路にテストパターン系列T6

をあたえると図中に各部における信号の0, 1を表示しているように、被試験CMOS集積回路内の信号線L2, L7, L8, L9, L10, L11にスイッチングが生じ、さらに被試験CMOS集積回路内の論理ゲートG2, G3, G4および出力バッファG6にスイッチングが生じる。信号線L10はスイッチングが生じるが信号線L10を入力とする論理ゲートG5はスイッチングが生じない。したがって、信号線L2, L7, L8, L9, L11のいずれかに故障が存在するとき、テストパターン系列T6をもちいた過渡電源電流試験において過渡電源電流に異常が観測される。すなわち、テストパターン系列T6をもちいた過渡電源電流試験により、信号線L2, L7, L8, L9, L11の故障を検出できる。したがって、テストパターン系列T6に対する故障個所リストは、以上の故障シミュレーションによりLT6 = {L2, L7, L8, L9, L11}ともとめることができる。

【0086】

以上により、あるテストパターン系列で検出可能な信号線単位の故障リストを生成することができる。さらに、この発明の故障リスト生成方法は、論理ゲートを接続する信号線単位での故障個所推定に限定されるものではなく、論理ゲート内部の信号線に故障を仮定することにより論理ゲート内部の信号線も対象故障とすることも可能である。

さらに、この発明の故障解析方法はCMOS集積回路に限定されるものではなく、他のタイプの半導体集積回路にも適用することができる。

【0087】

【発明の実施の形態】

以下、この発明の実施例について説明する。

図18はこの発明の実施例で使用される故障シミュレータの構成の一例を示している。この故障シミュレータ100は、被試験半導体集積回路にあたえるテストパターンを次々と発生するテストパターン発生手段101と、上記テストパターン発生手段101により選定された各テストパターンを、被試験半導体集積回路に入力した場合の論理シミュレーションを順次おこない、回路内部の信号線に生じる論理信号値列を計算する論理シミュレータ102と、上記論理シミュレー-

タ102により計算された各信号線の論理信号値列をもちいて所定のテストパターン系列により過渡電源電流試験で検出可能な故障リストを生成する故障リスト生成手段103と、によって構成されている。テストパターン発生手段101、論理シミュレータ102、および、故障リスト生成手段103は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。つまりテストパターン発生手段101は、例えば入力端子が3つの被試験半導体集積回路の場合、3つの疑似ランダムパターン系列発生器を設け、その初期値を互いに異ならせて同一のクロックで同期して、ランダムパターン系列を発生させ、各クロックごとに3つの疑似ランダムパターン系列発生器の各出力をテストパターンとして取出せばよい。あるいは3ビットカウンタにクロックを計数させ、その各3ビットで表わされた計数値をテストパターンとして取出してもよい。これらの手法はソフトウェアで構成することも容易に理解されよう。また所要のテストパターンをメモリに記憶しておき、これを順次取出してもよい。何れにも、被試験半導体集積回路について、何れの論理ゲートでの遅延故障、何れの信号線での断線故障でも検出可能な個所として検出できるのに必要な十分なデータが得られるだけの各テストパターンを発生可能に、例えば疑似ランダム発生器のシフト段数を選定しておく。

【0088】

論理シミュレータ102はソフトウェアで構成する場合は、テストパターンが被試験半導体集積回路に入力された場合、そのテストパターンについて、被試験半導体集積回路の各論理ゲートにおける演算を順次ソフトウェアにより演算し、その各演算結果をその結果（論理信号値）が現われる信号線について記憶していくことを各テストパターンについて行うことにより各信号線に生じる論理信号値列を容易に得ることができる。論理シミュレータ102をハードウェアで構成する場合は、例えばフィールドプログラマブルゲートアレー（FPGA）に被半導体集積回路の回路情報を入力して、被半導体集積回路を構成し、この回路にテストパターンを入力した時の各信号線の信号論理値を検出し、これを対応する信号線ごとに記憶していくことを各テストパターンごとに順次行わせる構成とすればよい。この論理シミュレータ102は、汎用の論理シミュレータ、たとえば、シ

ノプシス社製のVHDL System Simulator (VSS) をもちいることができる。故障リスト生成手段103については後で述べる。

【0089】

つぎに、この発明の故障シミュレータ100を使用して半導体集積回路の故障シミュレーションをおこなう場合の動作を説明する。図19はこの発明の故障シミュレーション方法の処理手順を示している。はじめに、テストパターン発生手段101が、ステップ201において、故障リストを生成したいテストパターンの系列のテストパターンの初期値を設定する。つぎに、ステップ202において、論理シミュレータ102が、ステップ201において設定されたテストパターンを取得する。つぎに、論理シミュレータ102は、ステップ203において取得されたテストパターンを用いて被試験半導体集積回路の動作の論理シミュレーションをおこない、回路内部の信号線に生じる論理信号値を計算し、その論理信号値を各信号線ごとに記憶装置に記憶する。つぎに、故障シミュレータ100は、ステップ204において、上記テストパターンの系列中で処理されていないテストパターンが存在するか否かを確認し、処理されていないテストパターンが存在するならば、ステップ205で次に選択するテストパターンを設定し（例えば疑似ランダムパターン発生器の動作を1クロック進め）、ステップ202およびステップ203を繰り返し、ステップ204で処理されていないテストパターンが存在しないならば（例えば疑似ランダムパターン発生器がそのランダムパターンの1周期の発生が終了すると）、ステップ206に移行する。最後に、ステップ206において、故障リスト生成手段103が、上記記憶装置に記憶されている。上記ステップから得られた回路内部の信号線に生じる論理信号値列をもとに上記テストパターン系列で検出されうる故障のリストを生成し、処理を終了する。つまり前述した例の場合のようにテストパターン系列が各2つのテストパターンよりなる場合は、テストパターン発生手段101から発生された任意の2つのテストパターンを取り出してテストパターン系列識別番号を与え、このテストパターン系列識別番号について検出できる故障のリストを作る。上記ステップ202, 203, 204において、各テストパターンに対して論理シミュレータ102によって計算された論理信号値の時間系列は、テストパターン系列におけるテ

ストパターンの時間系列とは対応したものとなる。

【0090】

図20は図19中のステップ206における故障リスト生成方法の処理手順の例を示している。はじめに、ステップ301において、被試験半導体集積回路内で故障となり得る個所の1つを初期設定する。つぎに、ステップ302において、上記設定個所が故障した場合に過渡電源電流試験による故障検出条件を論理シミュレータ102により計算された論理信号値系列が満たすか否かを確認し（この具体的手法は後で述べる）、過渡電源電流試験による故障検出条件を満たすならば、ステップ303において上記設定個所を故障リストに登録し、ステップ302で過渡電源電流試験による故障検出条件を満たさないならば、ステップ304に移行する。ステップ304において、他に処理されていない故障となり得る個所が存在するか否かを確認し、処理されていない故障となり得る個所が存在するならば、ステップ305で次の故障となり得る個所を設定してステップ302に移る。このようにして被試験半導体集積回路内で故障となりうるすべての個所が処理されるまでステップ302、303、304、305を繰り返し、処理されていない個所が存在しないならば、処理を終了する。

【0091】

図21は論理ゲート単位で故障リストを生成する場合、図19中のステップ206における故障リスト生成方法の処理手順の例を示している。はじめに、ステップ401において、被試験半導体集積回路内の故障が生じうる論理ゲートの1つを初期設定する。つぎに、ステップ402においてその設定論理ゲートの出力信号線の、論理シミュレータ102により計算された論理信号値系列がスイッチング動作を生じているか否かを図19中のステップ203での処理結果が、記憶装置に記憶された各テストパターン系列についての各論理ゲートの出力信号線の記憶状態から確認し、上記故障論理ゲートの出力信号線の論理信号値系列がスイッチング動作を生じているならば、ステップ403において上記設定論理ゲートとそのテストパターン系列を故障リストに登録する。例えば図14に示した回路において論理ゲートG1が設定されると、その出力信号線（ノード）N1の論理信号値系列、つまり図15中の第3列欄中の第1列目の1, 1, 0, 0, …の系

列からR又はFとなるテストパターン系列T9, T10, T11, T12を探し、故障リスト中のG1に対しT9, T10, T11, T12を登録し、又はテストパターン系列T9, T10, T11, T12のそれぞれにG1を登録する。ここで、上記故障論理ゲートの出力信号線が信号値R（立ち上がり遷移）をもつときに検出可能な故障と出力信号線が信号値F（立ち下がり遷移）をもつときに検出可能な故障が別の故障であるとして、それらを別々の故障として登録することもできる。たとえば、論理ゲートG1が設定されたとき、G1の出力信号線がRをもつときに検出可能な故障をG1R, G1の出力信号線がFをもつときに検出可能な故障をG1Fとして故障リストに登録する。上の例では、論理ゲートG1の出力信号線N1はテストパターン系列T9, T10, T11, T12にたいしていずれも信号値Fをもつため、故障リスト中のG1FにたいしT9, T10, T11, T12を登録し、またはテストパターン系列T9, T10, T11, T12のそれぞれにG1Fを登録する。ステップ402で上記設定論理ゲートの出力信号線の論理信号値系列がスイッチング動作を生じていないならば、ステップ404に移行する。ステップ404において、他に処理されていない論理ゲートが存在するか否かを確認し、処理されていない論理ゲートが存在するならば、ステップ409で次の故障が起り得る論理ゲートを設定してステップ402に移る。このようにして被試験半導体集積回路内で故障が起りうるすべての論理ゲートが処理されるまでステップ402, 403, 404, 405を繰り返し、処理されていない論理ゲートが存在しないならば、処理を終了する。

【0092】

設定した論理ゲートの出力信号線の論理信号値系列がスイッチング動作を生じていれば、そのスイッチング動作をするテストパターン系列を入力した時に、その時の半導体集積回路の過渡電源電流を測定し、先に述べた過渡電源電流の所定時刻後の瞬時値、又は過渡電源電流のパルス幅、或は過渡電源電流の積分値から、その設定論理ゲートが遅延故障を生じているか否か推定することができる。つまり論理ゲート単位での故障リストの生成は設定論理ゲートの出力信号線の論理信号値系列にスイッチング動作が生じているか否かを確認することは故障した場合の過渡電源電流試験による故障検出条件を満たすか否かを確認することになる

【0093】

図22は信号線単位で故障リストを生成する場合の図19中のステップ206における故障リスト生成方法の処理手順の例を示している。はじめに、ステップ501において、被試験半導体集積回路内で故障が生じうる信号線の1つを初期設定する。つぎに、ステップ502において、論理シミュレータ102により計算された結果中の上記設定信号線の論理信号値系列がスイッチング動作を生じているか否かを図19中のステップ203での論理シミュレーションの結果、記憶装置に記憶されている各テストパターン系列ごとの設定信号線の論理信号値系列から確認し、上記設定信号線の論理信号値系列がスイッチング動作を生じているならば、ステップ503に移行し、例えば図16に示した回路において信号線L2が設定された場合、その論理信号値系列は図17の第3列欄の第2列の0, 1, 0, 1, …, となり、この系列中にR又はFがあるかを確認し、この場合テストパターン系列T5, T6, T7, T8でRとなっており、つまりスイッチング動作が生じているからステップ503に移行し、上記設定信号線の論理信号値系列がスイッチング動作を生じていないならば、ステップ505に移行する。つぎに、ステップ503において、論理シミュレータ102により計算された結果中の、上記設定信号線を入力とする論理ゲートの出力信号線の論理信号値系列が、ステップ502でスイッチング動作を生じているテストパターン系列でスイッチング動作を生じているか否かを確認し、上記設定信号線を入力とする論理ゲートの出力信号線の論理信号値系列が上記スイッチング動作するテストパターン系列でスイッチング動作を生じているならば、ステップ504において上記設定信号線を故障リストに登録し、つまり前記例では設定信号線L2を入力とする論理ゲートG2の出力信号線L7の論理信号系列中の、設定入力信号でスイッチング動作するテストパターン系列T5, T6, T7, T8中でT6とT8はFとなっておりスイッチング動作をしているから、設定信号線L2に対しテストパターン系列T6, T8を登録する。又は故障リストのT6, T8にL2を登録する。ステップ503で上記設定信号線を入力とする論理ゲートの出力信号線の論理信号値系列が上記スイッチング動作するテストパターン系列でスイッチング動作を生じ

ていないならば、ステップ505に移行する。ステップ505において、他に処理されていない故障を起し得る信号線が存在するか否かを確認し、処理されていない信号線が存在するならばステップ506で次の故障が起り得る信号線を設定してステップ502に移る。このようにして被試験半導体集積回路内で故障が起りうるすべての信号線が処理されるまでステップ502, 503, 504, 505, 506を繰り返し、処理されていない故障が起り得る信号線が存在しないならば、処理を終了する。

【0094】

設定した信号線に断線があり、その設定信号線を入力線とする論理ゲートに断線遅延故障が生じ、これを過渡電源電流試験により検出できるためには、設定信号線の論理信号値系列でスイッチング動作があり、かつそのスイッチング動作で設定信号線を入力線とする論理ゲートの出力信号線がスイッチング動作しなければならない。よって、設定信号線単位での故障リストの生成で上述したように、設定信号線の論理信号値系列にスイッチング動作があるかを確認し、ある場合はそのスイッチング動作で、その設定信号線を入力線とする論理ゲートの出力信号線がスイッチング動作するかをその出力信号線の論理信号値系列により確認することは、故障した場合に過渡電源電流試験による故障検出条件を満すか否かを確認したことになる。

【0095】

次に信号伝搬パスを単位として故障リストを生成する場合の処理手順の例を図23を参照して説明する。ステップ801で故障が起り得る信号伝搬パスの1つを初期設定する。ステップ802で、図19中のステップ203による論理シミュレーションの結果が記憶されている記憶装置の記憶内容から、各テストパターン系列ごとに、その設定信号伝搬パスの各部がすべてスイッチングしているか否かを調べ、すべてスイッチングしていれば、ステップ803でそのテストパターン系列と、設定した信号伝搬パスとを故障リストに登録する。つまり例えば論理ゲート単位の論理シミュレーションでは、図14に示した半導体集積回路の場合には、各テストパターン系列に対し、図15に示したように各入力端子、各内部ノード、各出力端子が変化する。よって例えば設定された故障が起り得る信

号伝搬パスが< I 1, N 1, N 3, O 1 >の場合、論理シミュレーションの結果の記憶装置から、テストパターン系列T 9に対し、I 1がR、N 1がF、N 3がR、O 1がFであり、このパス上のすべての各部がスイッチングする。またテストパターン系列T 10, T 11に対してもI 1がR、N 1がF、N 3がR、O 1がFであり、同様にこのパス上の全ての各部がスイッチングする。よって故障リストに信号伝搬パス< I 1, N 1, N 3, O 1 >に対し、テストパターン系列T 9, T 10, T 11を登録し、又はテストパターン系列T 9, T 10, T 11のそれぞれに対し、パス< I 1, N 1, N 3, O 1 >を登録する。同様にして例えば内部信号線単位の論理シミュレーションでは、図16に示した半導体集積回路の場合には、各テストパターン系列に対し、図17に示したように、各入力端子、各内部信号線、各出力端子が変化する。よって例えば設定された故障が起こり得る信号伝搬パスが< I 3, L 3, L 5, L 12, O 2 >の場合、論理シミュレーションの結果の記憶装置から、テストパターン系列T 1に対し、I 3がR、L 3がR、L 5がR、L 12がF、O 2がFであり、このパス上の全ての各部がスイッチングする。またテストパターン系列T 2に対してもI 3がR、L 3がR、L 5がR、L 12がF、O 2がFであり、同様にこのパス上の全ての各部がスイッチングする。よって故障リストに信号伝搬パス< I 3, L 3, L 5, L 12, O 2 >に対し、テストパターン系列T 1, T 2を登録し、又はテストパターン系列T 1, T 2に対してパス< I 3, L 3, L 5, L 12, O 2 >をそれぞれ登録する。ここで、故障リストに登録される信号伝搬パスは、被試験回路の入力端子から出力端子まで到達するパスに限定されるものではなく、たとえば図16に示した半導体集積回路の< I 1, N 1 >、または図16に示した半導体集積回路の< I 1, L 1, L 6 >のように出力端子まで到達しない信号伝搬パスを対象とすることができる。

【0096】

このようにステップ803で故障リストに登録後、又はステップ802でそのパスの全ての各部でスイッチングを行うテストパターン系列がない場合はステップ804で処理していない信号伝搬パスが残っていないかを調べ、残っていればステップ805で次の故障が起こり得る信号伝搬パスを設定してステップ803

に移る。このようにして処理していない故障が起こり得る信号伝搬パスが残っている限り、ステップ802, 803, 804, 805を繰り返し、故障が起こり得る信号伝搬パスの全てについて処理を済ますと終了となり、故障リストが完成される。図14に示した半導体集積回路について論理ゲートがスイッチングするかの論理シミュレーションを行った場合の故障リストは図24に示すようになり、図16に示した半導体集積回路について内部信号線がスイッチングするかの論理シミュレーションを行った場合の故障リストは図25に示すようになる。

【0097】

上述では全てのテストパターンについて論理シミュレーションを行った後、故障リストを作成したが、1つのテストパターン系列ごとに論理シミュレーションの結果について故障リストへの登録の必要があれば登録し、全てのテストパターン系列について論理シミュレーションを終了すると故障リストの生成が終了するようになることもできる。その処理手順の例を図26に示す。例えば入力端子が3つの被試験半導体集積回路の場合、3つの疑似ランダムパターン系列発生器を設け、その初期値を互いに異ならせて同一のクロックで同期して、ランダムパターン系列を発生させ、かつ各出力を1クロック遅延レジスタに入力する。テストパターン系列は、各クロックごとに3つの遅延レジスタの各出力のテストパターンを取り出し、その後、3つの疑似ランダムパターン系列発生器の各出力をテストパターンとして取り出すことにより生成できる。ステップ901において、故障リストを生成したいテストパターン系列の1つを選択し、例えば前述したように遅延レジスタの出力と疑似ランダムパターン発生器の出力よりなるテストパターン系列を選択し、次にステップ902で選択したテストパターン系列中のテストパターンの初期値、例えば各遅延レジスタの出力を設定する。ステップ903において、設定されたテストパターンを取得し、ステップ904において取得されたテストパターンを用いて被試験半導体集積回路の動作の論理シミュレーションをおこない、回路内部の信号線に生じる論理信号値を計算し、その論理信号値を各信号線ごとに記憶装置に記憶する。ステップ905において、上記選択したテストパターン系列中に処理されていないテストパターンが存在するか否かを確認し、処理されていないテストパターンが存在するならば、ステップ906で次

に選択するテストパターン、例えば疑似ランダムパターン発生器の各出力を設定し、ステップ903及びステップ904を繰り返し、ステップ905で処理されていないテストパターンが存在しないならばステップ907でそのテストパターン系列についての論理シミュレーション結果に基づいて故障リストへの登録のための処理を行う。この処理については後で述べる。次にステップ908に移り選択していないテストパターン系列が残っているか否かを判断し、残っていればステップ901に移りテストパターン系列を選択する。例えば疑似ランダムパターン発生器の動作を1クロック進める。再びその新たに選択したテストパターン系列についてステップ902～907の処理がおこなわれる。ステップ908で選択していないテストパターン系列が残っていないければ、例えば疑似ランダムパターン発生器がそのランダムパターンの1周期の発生が終了すると、処理は終了する。

【0098】

図26中のステップ907における故障リストへの登録処理手順の例を図21を参照して説明する。ステップ401において、被試験半導体集積回路内の故障が生じうる論理ゲートの1つを初期設定する。次に、ステップ402において、論理シミュレータ102により、その時、図26中のステップ901で選択されたテストパターン系列に対し、計算された結果中の上記設定論理ゲートの出力信号線の論理信号値系列がスイッチング動作を生じているか否かを確認し、上記設定論理ゲートの出力信号線の論理信号値系列がスイッチング動作を生じているならば、ステップ403において上記設定論理ゲートとそのテストパターン系列を故障リストに登録する。例えば図14に示した回路において論理ゲートG1が設定されると、その出力信号線（ノード）N1の論理信号値系列、図15中の第3列欄中の第1列目を見ればテストパターン系列T9が選択されれば故障リストのT9にG1を登録し、又はG1にT9を登録する。ここで、上記故障論理ゲートの出力信号線が信号値R（立ち上がり遷移）をもつときに検出可能な故障と出力信号線が信号値F（立ち下がり遷移）をもつときに検出可能な故障が別の故障であるとして、それらを別々の故障として登録することもできる。たとえば、論理ゲートG1が設定されたとき、G1の出力信号線がRをもつときに検出可能

な故障をG1R, G1の出力信号線がFをもつときに検出可能な故障をG1Fとして故障リストに登録する。上の例では、論理ゲートG1の出力信号線N1はテストパターン系列T9にたいして信号値Fをもつため、故障リスト中のG1FにたいしT9を登録し、またはテストパターン系列T9にG1Fを登録する。上記設定論理ゲートの出力信号線の論理信号値系列がスイッチング動作を生じていないならば、ステップ404に移行する。ステップ404において他に処理されていない論理ゲートが存在するか否かを確認し、処理されていない論理ゲートが存在するならば、ステップ405で次の故障が起り得る論理ゲートを設定してステップ402に移る。このように被試験半導体集積回路内で故障が起り得るすべての論理ゲートが処理されるまでステップ402, 403, 404, 405を繰り返し、処理されていない論理ゲートが存在しないならば、処理を終了する。このようにして各テストパターン系列を選択することに、全ての故障となり得る論理ゲートについて、そのテストパターン系列と設定論理ゲートを故障リストに登録するか否かの処理をする。

【0099】

信号線単位で故障リストを生成する場合の図26中のステップ907における故障リスト生成方法の処理手順の例を図22を参照して説明する。ステップ501において、被試験半導体集積回路内で故障が生じうる信号線の1つを初期設定する。つぎに、ステップ502において、論理シミュレータ102により図26中のステップ901で選択されたテストパターン系列に対し、計算された結果中の上記設定信号線の論理信号値系列がスイッチング動作を生じているか否かを確認し、上記設定信号線の論理信号値系列がスイッチング動作を生じているならば、ステップ503に移行し、上記設定信号線の論理信号値系列がスイッチング動作を生じていないならば、ステップ505に移行する。つぎにステップ503において、論理シミュレータ102により図26中のステップ901で選択されたテストパターン系列に対し計算された結果中の、上記設定信号線を入力とする論理ゲートの出力信号線の論理信号値系列がスイッチング動作を生じているか否かを確認し、上記設定信号線を入力とする論理ゲートの出力信号線の論理信号値系列が上記テストパターン系列でスイッチング動作を生じているならばステップ5

04において上記設定信号線を故障リストに登録する。つまり例えば図16に示した回路で図26中のステップ901でテストパターン系列T1が選択され、図22のステップ501において信号線L3が設定されたとき、L3及びL3を入力とする論理ゲートG5の出力信号線L12にスイッチング動作が生じているため、故障リスト中の設定信号線L3にテストパターン系列T1を登録する、又はT1にL3を登録する。上記設定信号線を入力とする論理ゲートの出力信号線の論理信号値系列がその時選択したテストパターン系列でスイッチング動作を生じていないならば、ステップ505に移行する。ステップ505において、他に処理されていない故障を起こし得る信号線が存在するか否かを確認し、処理されていない信号線が存在するならばステップ506でつぎの故障が起こり得る信号線を設定してステップ502に移る。このようにして被試験半導体集積回路内で故障が起こり得るすべての信号線が処理されるまでステップ502、503、504、505、506を繰り返し、処理されていない故障が起こり得る信号線が存在しないならば、処理を終了する。このような処理をステップ901でテストパターンが選択されるごとに、行う。

【0100】

信号伝搬パス単位で故障リストを生成する場合の図26中のステップ907における故障リスト生成方法の処理手順の例を図23を参照して説明する。ステップ801において、被試験半導体集積回路内で故障が生じうる信号伝搬パスの1つを初期設定する。つぎに、ステップ802において、論理シミュレータ102により図26中のステップ901で選択されたテストパターン系列に対し、計算された結果中の上記設定信号伝搬パスの各部が全てスイッチングしているかを調べ、全てスイッチングしているならば、ステップ803に移行し、上記設定信号伝搬パスを故障リストに登録する。つまり例えば図14に示した回路で図26中のステップ901でテストパターン系列T9が選択され、図23のステップ801において信号伝搬パス<I1, N1, N3, O1>が設定されたとき、そのパス上の各部が全てスイッチングするため、故障リスト中の設定信号伝搬パス<I1, N1, N3, O1>にテストパターン系列T9を登録する、又はT9に<I1, N1, N3, O1>を登録する。ここで、故障リストに登録される信号伝搬

パスは、被試験回路の入力端子から出力端子まで到達するパスに限定されるものではなく、たとえば図16に示した半導体集積回路の<I1, N1>、または図16に示した半導体集積回路の<I1, L1, L6>のように出力端子まで到達しない信号伝搬パスを対象とすることもできる。上記設定信号伝搬パスの各部のいずれかでスイッチングが生じていないならば、ステップ804に移行する。ステップ804において、他に処理されていない故障を起こし得る信号伝搬パスが存在するか否かを確認し、処理されていない信号伝搬パスが存在するならばステップ805でつぎの故障が起こり得る信号伝搬パスを設定してステップ802に移る。このようにして被試験半導体集積回路内で故障が起こり得るすべての信号伝搬パスが処理されるまでステップ802, 803, 804, 805を繰り返し、処理されていない故障が起こり得る信号伝搬パスが存在しないならば、処理を終了する。このような処理をステップ901でテストパターンが選択されるごとに、行う。

【0101】

図25に示した信号伝搬パス単位での故障リスト生成も同様に行うことができる。

図27はこの発明による故障シミュレータの他の実施例を示している。この故障シミュレータ600は、被試験半導体集積回路にあたえる2つ以上のテストパターンからなるテストパターン系列を選択するテストパターン系列選定手段601と、仮定した故障を被試験半導体集積回路に挿入する故障挿入手段602と、上記故障挿入手段602により故障を挿入した回路に上記テストパターン系列選定手段601により選定されたテストパターン系列をあたえ回路ミシユレーションをおこなうことにより、上記被試験半導体集積回路の過渡電源電流を計算する回路シミュレータ603と、上記回路シミュレータ603により計算された過渡電源電流を正常回路の過渡電源電流と比較し、上記故障が上記テストパターン系列により過渡電源電流試験で検出可能であるか否かを判定することにより故障リストを生成する故障リスト生成手段604と、によって構成されている。テストパターン系列選定手段601、故障挿入手段602、回路シミュレータ603、および、故障リスト生成手段604は、ハードウェアで構成してもよいし、ソフト

トウェアで構成することもできる。回路シミュレータ603はソフトウェアで構成する場合はトランジスタ単位で被試験半導体集積回路の接続情報、例えば図3aに示す各トランジスタがどのように接続されているかを示す接続情報を入力することにより、被試験半導体集積回路をソフトウェア上で構成し、入力パターンに対する過渡電源電流を、各トランジスタの特性のモデルファイルをその設定条件に応じて読み出してシミュレーションにより演算するものがあり、断線故障の挿入は断線を想定する個所に高抵抗素子を直列に挿入すればよく、遅延故障はそれを想定する個所に遅延素子を挿入すればよい。この回路シミュレータ603は汎用の回路シミュレータ、たとえば、アバンティ社製のStar-HSPICEを用いることができる。

【0102】

つぎに、この発明の故障シミュレータ600を使用して半導体集積回路の故障シミュレーションをおこなう場合の動作を説明する。図28はこの発明の故障シミュレーション方法の他の実施例の処理手順を示している。はじめに、テストパターン系列選定手段601が、ステップ701において、故障リストを生成したいテストパターン系列を選択する。つぎに、ステップ702において、故障挿入手段602が、被試験半導体集積回路内に起こりうる故障を1つ仮定し、上記被試験半導体集積回路内に上記故障を挿入する。つぎに、ステップ703において、回路シミュレータ603が、ステップ701において選択されたテストパターン系列を、ステップ702において故障が挿入された故障回路と故障が挿入されていない正常回路に入力した場合の回路シミュレーションをおこない、それぞれの回路の過渡電源電流を計算する。つぎに、ステップ704において、故障リスト生成手段604は、回路シミュレータ603から得られた故障回路に対する過渡電源電流と正常回路の過渡電源電流を比較することによって故障回路の過渡電源電流に異常が生じているか否かを確認し、故障回路の過渡電源電流に異常が生じているならば、ステップ705において上記故障とそのテストパターン系列を故障リストに登録し、故障回路の過渡電源電流に異常が生じていないならば、ステップ706に移行する。最後に、ステップ706において、他に処理されていない起こり得る故障が存在するか否かを確認し、処理されていない起こり得る故

障が存在するならば、被試験半導体集積回路内に起こり得るすべての故障が処理されるまでステップ702, 703, 704, 705を繰り返し、処理されていない故障が存在しないならば、ステップ707で他に選択されていないテストパターン系列が残っているか否かを確認し、選択していないテストパターン系列が残っているならばステップ701に戻って同様のことを行い、選択していないテストパターン系列が残っていないならば処理を終了する。ステップ704で過渡電源電流を正常回路の過渡電源電流との比較は前述した所定時刻後の過渡電源電流瞬時値、過渡電源電流パルス幅、過渡電源電流の積分値の何れかの比較のみならず、過渡電源電流の波形比較でもよい。

【0103】

この発明の故障シミュレーション方法および故障シミュレータは、遅延故障や断線故障に限定されるものではなく、過渡電源電流の故障検出条件や故障モデルを適宜変更することにより、論理故障（縮退故障）や短絡故障、および、MOSトランジスタのパラメータ不良などの故障個所も検出対象とすることができます。またMOSトランジスタの半導体集積回路に限らず全ての種類の半導体集積回路についての、故障により過渡電源電流が正常な場合と比較して変化する場合に適用することができる。上述ではテストパターン系列を2個のパターンで構成したが、3個以上でもよい。

【0104】

【発明の効果】

この発明の故障シミュレーション方法によれば、可観測性が高く論理ゲートのスイッチング情報をもつ過渡電源電流試験法を用いることにより、従来不可能であった遅延故障あるいは遅延故障を生じる断線故障に対し、あるテストパターンをもちいて過渡電源電流試験で検出可能な故障リストを生成できるため、遅延故障や断線故障に対する試験の効率を大幅に改善することができる。

【図面の簡単な説明】

【図1】

aはCMOSインバーターの入力電圧 V_{IN} 、出力電圧 V_{OUT} の経時変化とその電源電流 I_{DD} の過渡応答の一例を示す図、bはそのCMOSインバータ回路と出力

の立ち上がり遷移時に流れる電源電流を示す図、cはそのCMOSインバータ回路と出力立ち下り遷移時に流れる電源電流を示す図である。

【図2】

CMOS論理ゲートの過渡応答の典型例を示し、aは入力電圧 V_{IN} 、出力電圧 V_{OUT} 、電源電流 I_S の伝達特性図、bは過渡電流の近似波形を示す図である。

【図3】

aはCMOS集積回路の例を示す回路図、bはその集積回路に対する入力電圧、出力電圧の変化と判定する過渡電源電流応答 I_{DDT} の様子を示す図である。

【図4】

aは入、出力ラッチを備えた半導体集積回路に対する遅延故障試験方法の基本原理を模式的に示す図、bはその入力電圧 V_{IN} に対する出力電圧 V_{OUT} の遅延と動作クロックとの関係を示す図である。

【図5】

aは論理故障を生じる信号線の断線状態と、入力電圧及び出力電圧を示す図、bは遅延故障を生じる信号線の断線状態と入力電圧及び出力電圧を示す図である。

【図6】

aは遅延故障がない場合とある場合の入力電圧と出力電圧の時間経過を示す図、bはこれと過渡電源電流試験方法の原理図を示すための図で対応する過渡電源電流を示す図である。

【図7】

別の過渡電源電流試験方法の原理図を示すための図で、aは遅延故障がない場合とある場合の入力電圧と出力電圧の時間経過を示す図、bはこれと対応する過渡電源電流と測定時点を示す図である。

【図8】

CMOSインバータの入力遷移時間に対する過渡電源電流の積分値の変化を示す図。

【図9】

aはCMOSインバータの入力信号線に存在する微小オープン欠陥のモデルを

示す図、bは微小オープン欠陥がない場合の信号遷移時間を模式的に示す図、cは微小オープン欠陥がある後の信号遷移時間を模式的に示す図である。

【図10】

CMOS集積回路内に存在する微小オープン欠陥の抵抗値 R_{open} に対するCMOS集積回路の過渡電源電流の積分値 Q_{DDT} の変化を示す図。

【図11】

CMOS製造プロセスのばらつきに対するCMOS集積回路の過渡電源電流の積分値の分布を示すヒストグラム図。

【図12】

CMOS集積回路の被試験バス上に存在する微小オープン欠陥の抵抗値 R_{open} に対する被試験バスのパス遅延時間 t_{pd} の変化を示す図。

【図13】

CMOS集積回路の被試験バス上に微小オープン欠陥が存在すると仮定したときの、CMOS集積回路の過渡電源電流の積分値 Q_{DDT} と被試験バスのパス遅延時間 t_{pd} の間の線形性を示す図。

【図14】

この被試験CMOS集積回路の一例を示す回路図。

【図15】

図14に示した被試験CMOS集積回路に対する故障シミュレーション結果の一例を示す図。

【図16】

被試験CMOS集積回路の別の一例を示す回路図。

【図17】

図16に示した被試験CMOS集積回路に対する別の故障シミュレーション結果の一例を示す図。

【図18】

この発明の故障シミュレータの実施例の構成を示す図。

【図19】

この発明の故障シミュレーション方法の処理手順を示すフローチャート。

【図20】

図19中の故障リスト生成方法の処理手順を示すフローチャート。

【図21】

論理ゲート単位で故障リストを生成するときの故障リスト生成方法の処理手順を示すフローチャート。

【図22】

信号線単位で故障リストを生成するときの故障リスト生成方法の処理手順を示すフローチャート。

【図23】

信号伝搬パス単位で故障リストを生成するときの故障リスト生成方法の処理手順を示すフローチャート。

【図24】

図14に示した回路に対する信号伝搬パス単位の故障リストの例を示す図。

【図25】

図16に示した回路に対する信号伝搬パス単位の故障リストの例を示す図。

【図26】

この発明の故障シミュレーション方法の他の処理手順を示すフローチャート。

【図27】

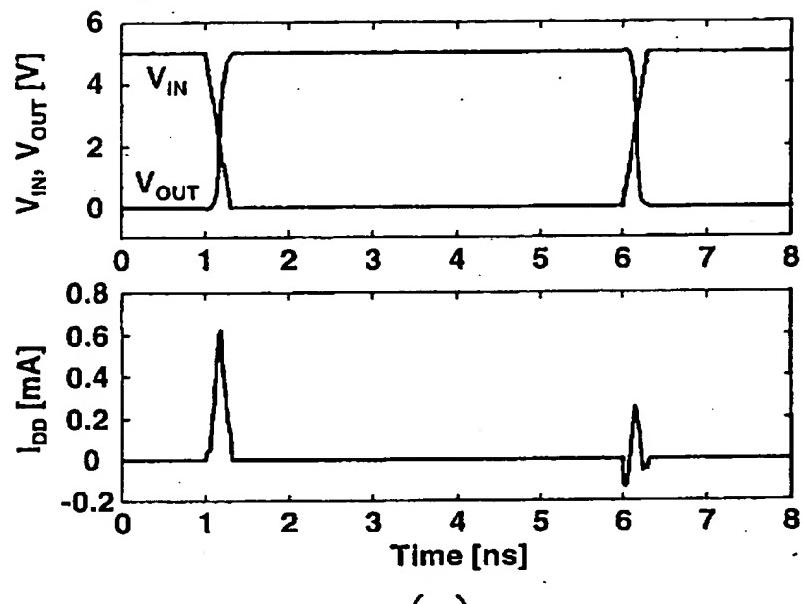
この発明の故障シミュレータの他の実施例の構成を示す図。

【図28】

この発明の故障シミュレーション方法の他の実施例の処理手順を示すフローチャート。

【書類名】 図面

【図1】



(a)

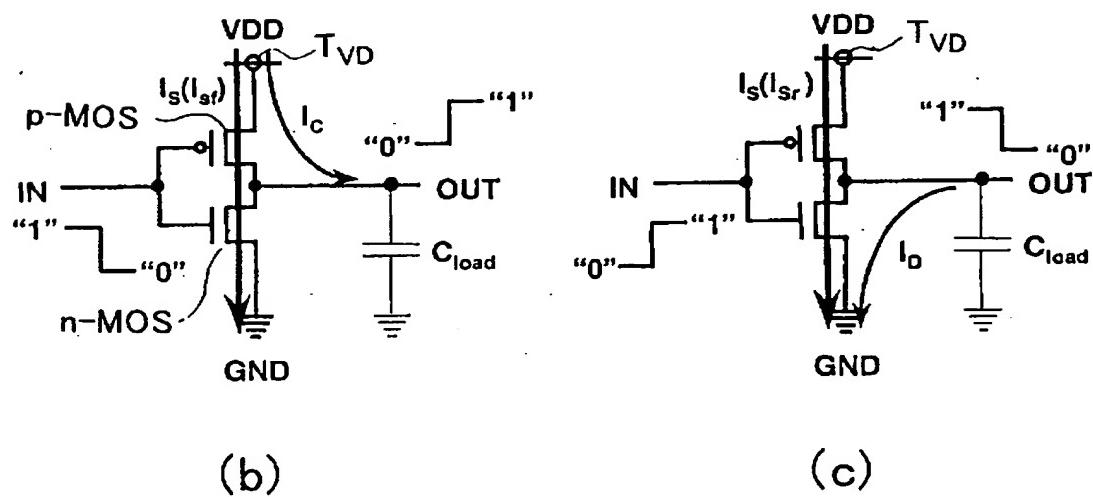


図1

【図2】

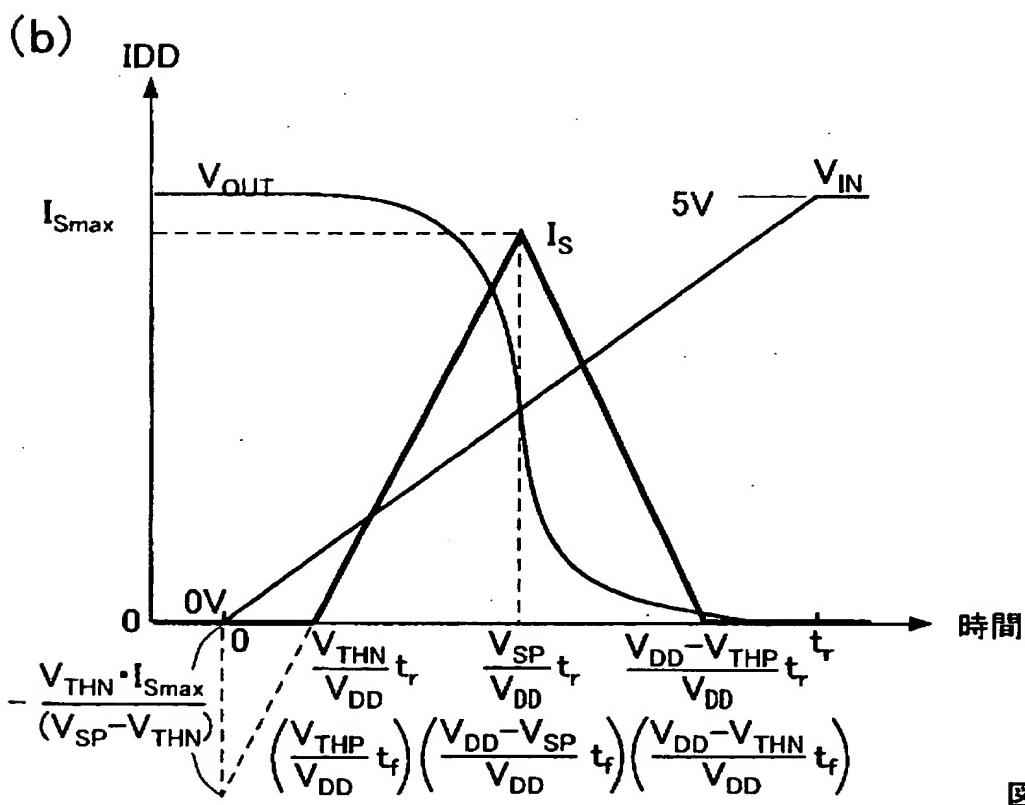
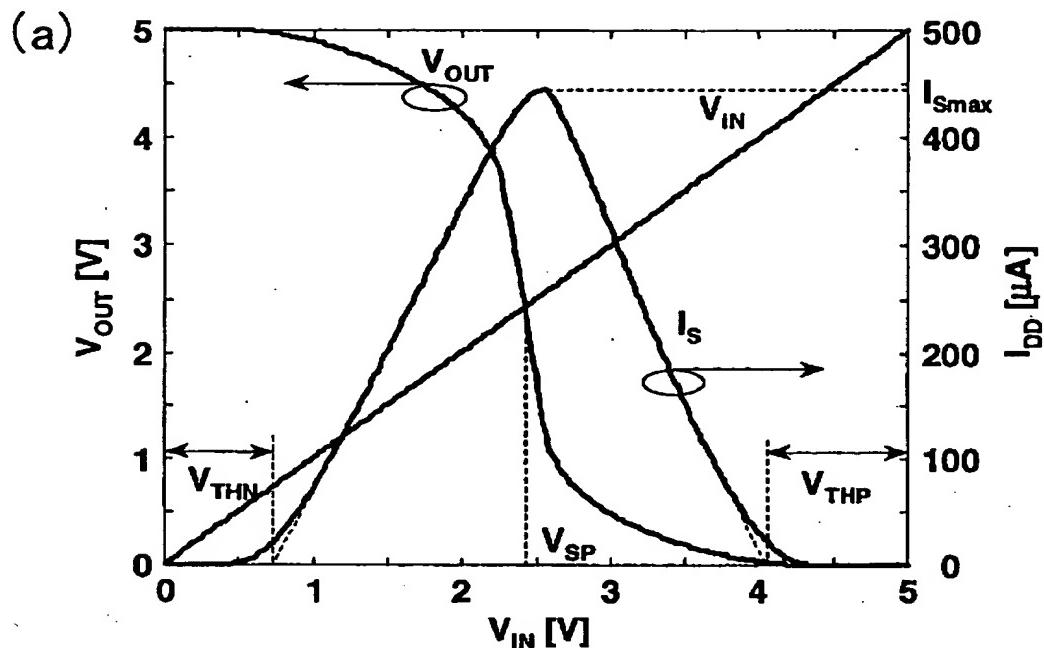
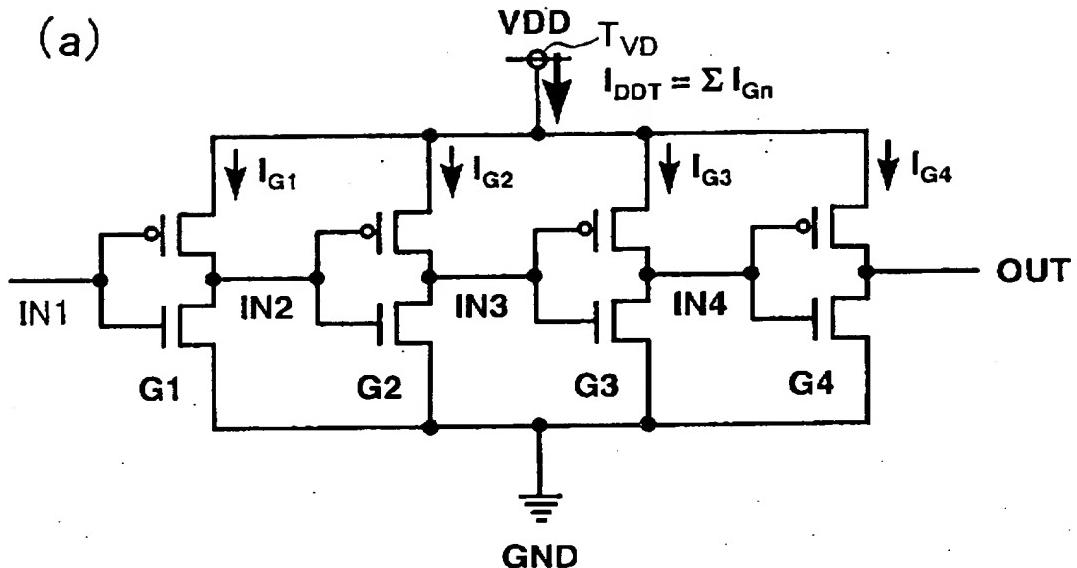


図2

【図3】



(b)

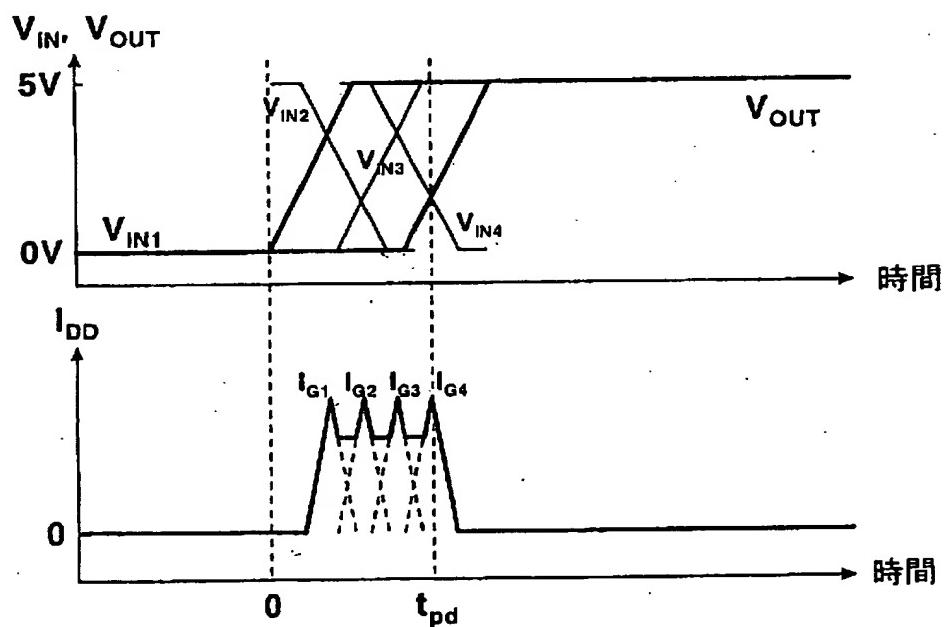
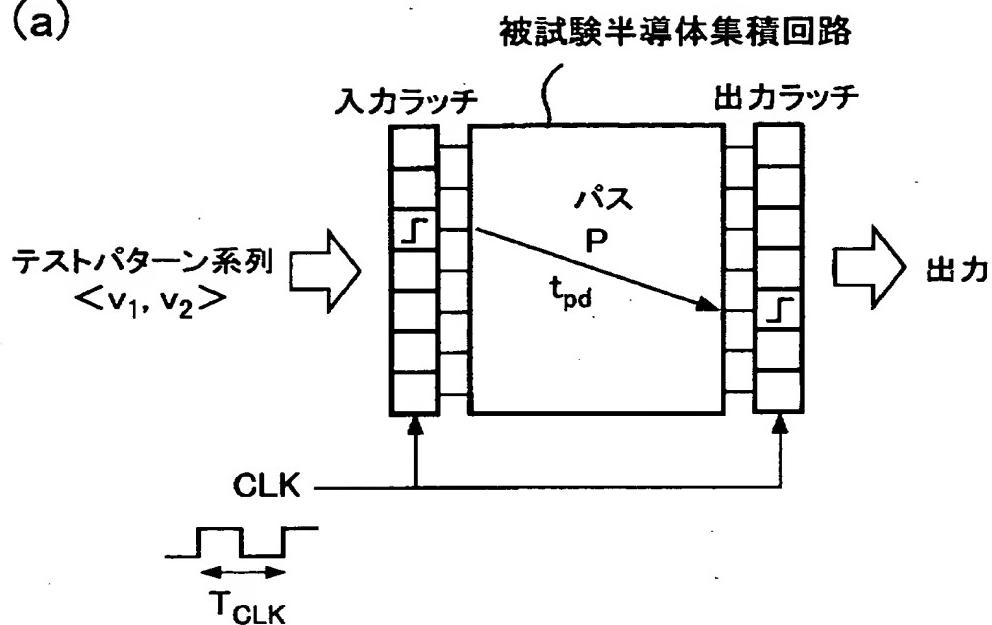


図3

【図4】

(a)



(b)

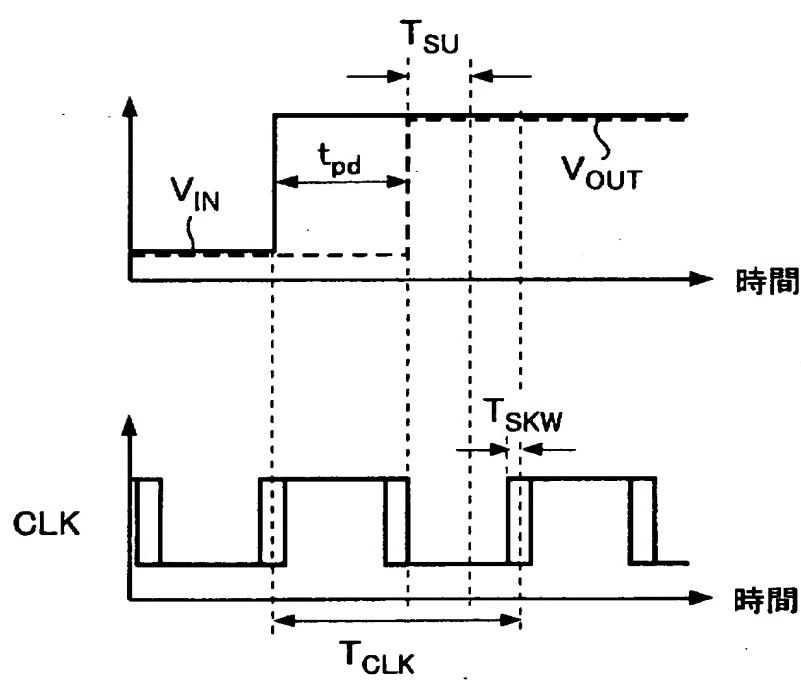
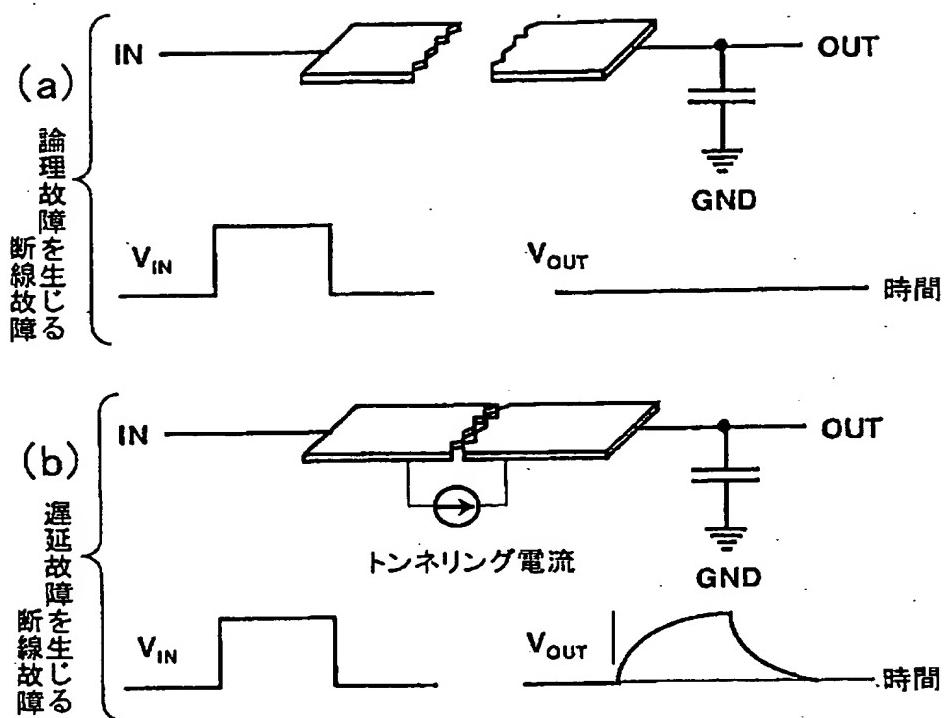
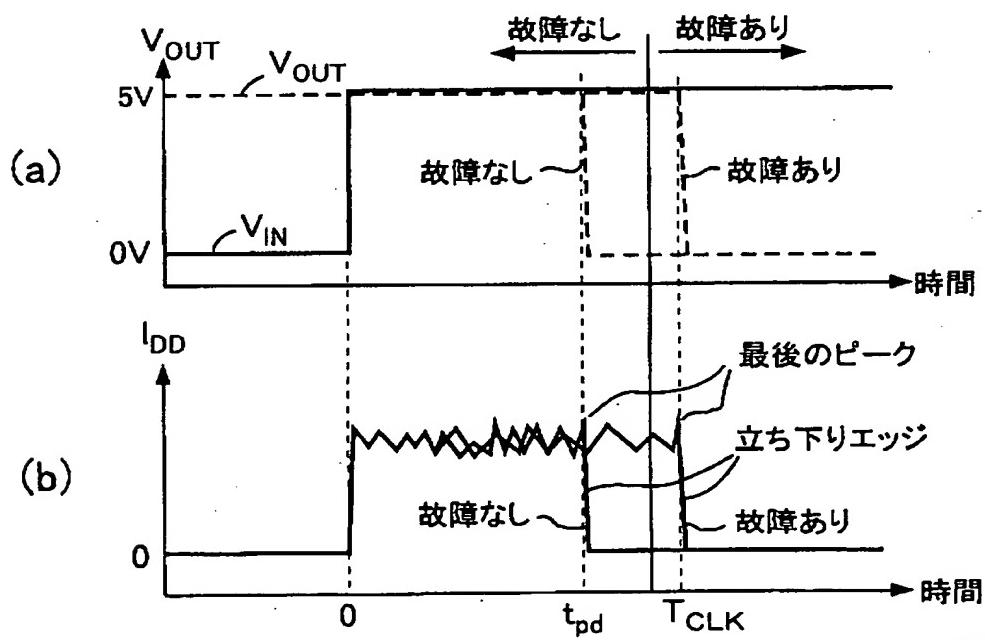


図4

【図5】



【図6】



【図7】

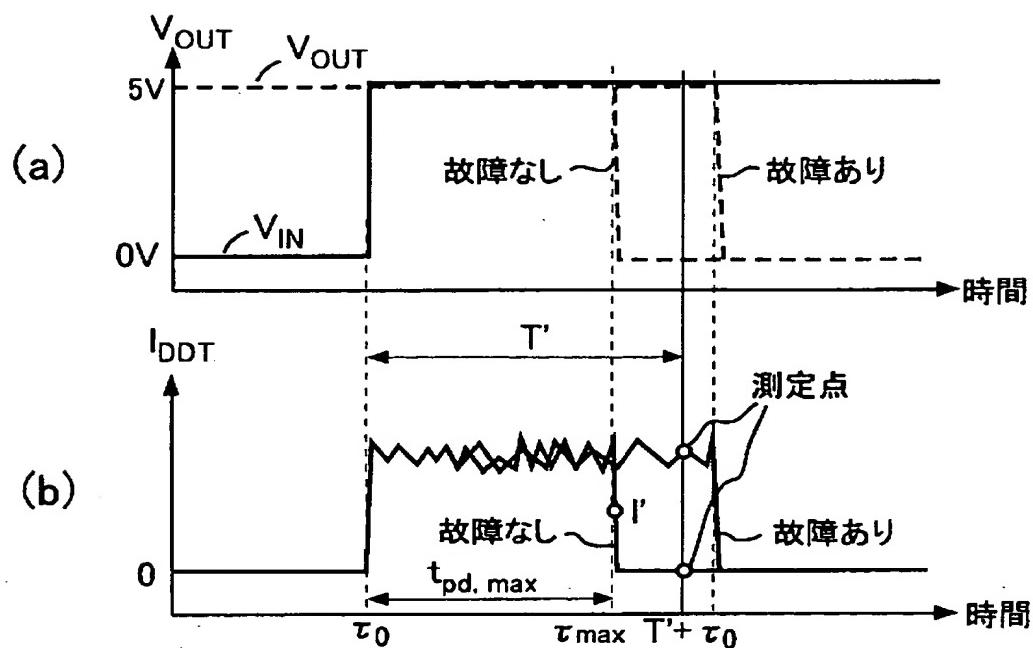
故障なし: $i_{DDT}(T' + \tau_0) \leq I'$ 故障あり: $i_{DDT}(T' + \tau_0) > I'$

図7

【図8】

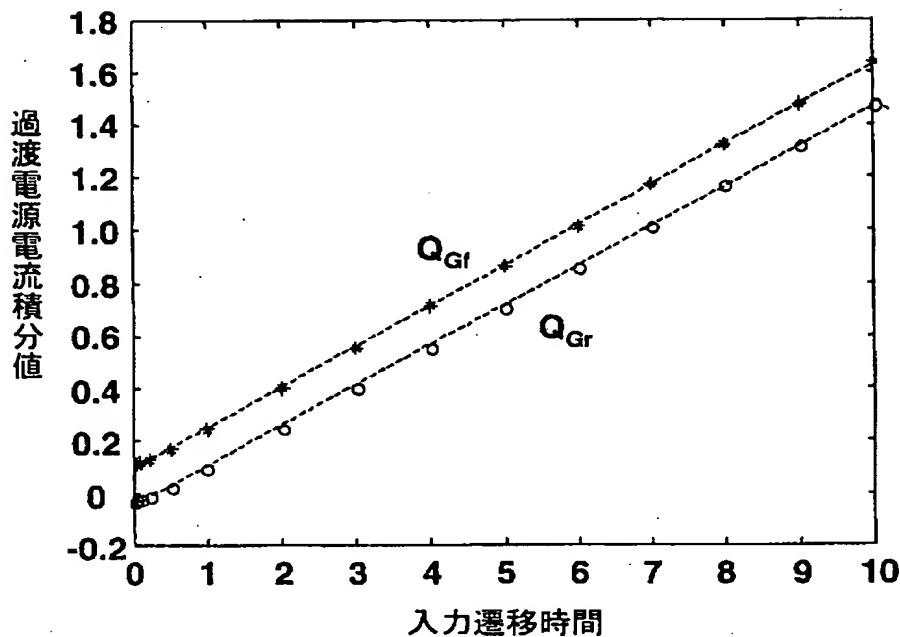


図8

【図9】

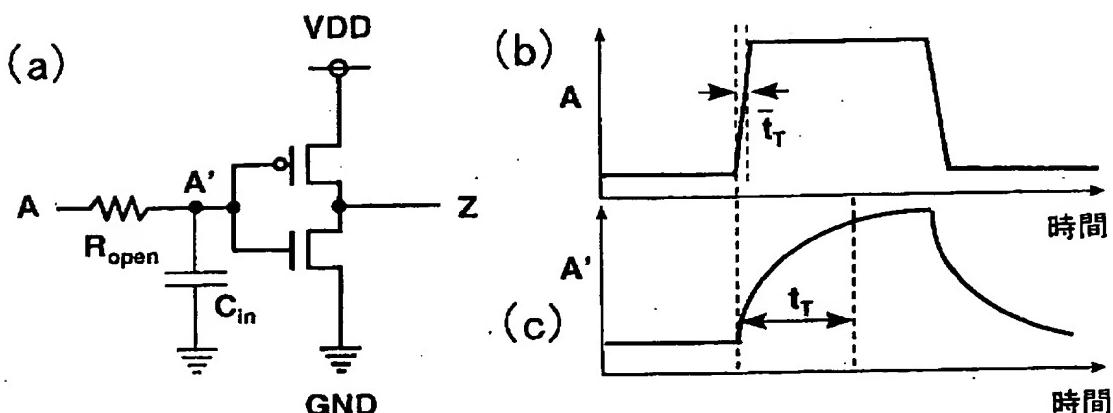


図9

【図10】

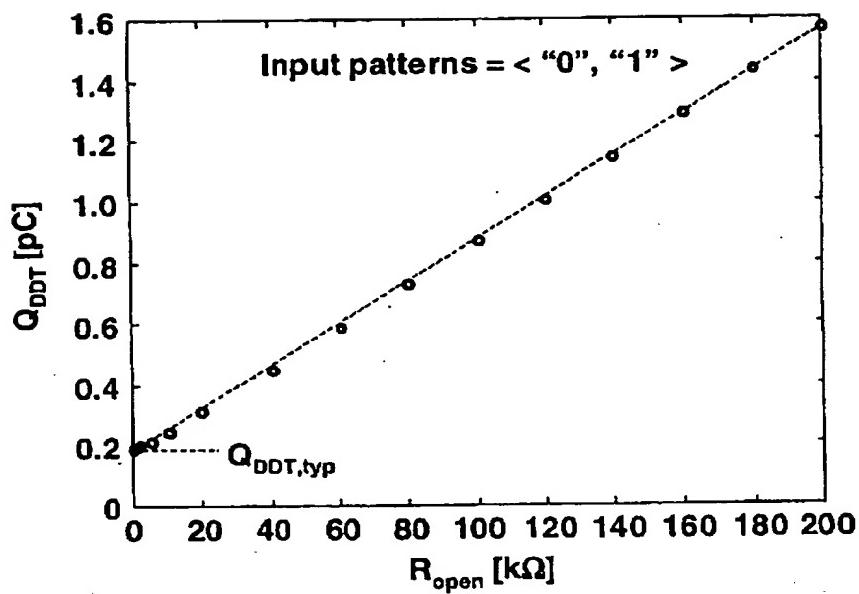


図10

【図11】

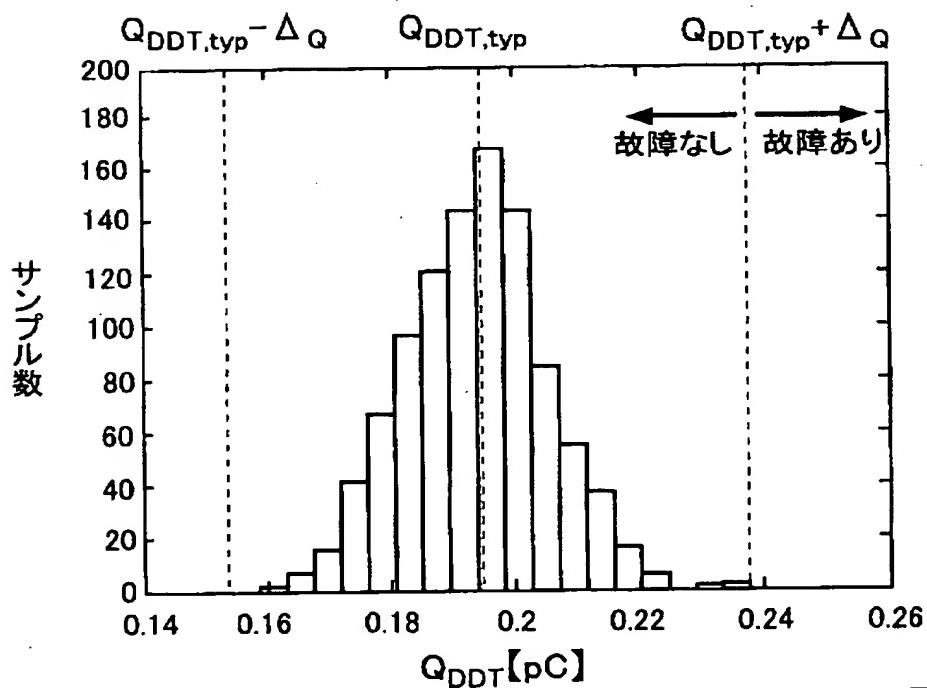


図11

【図12】

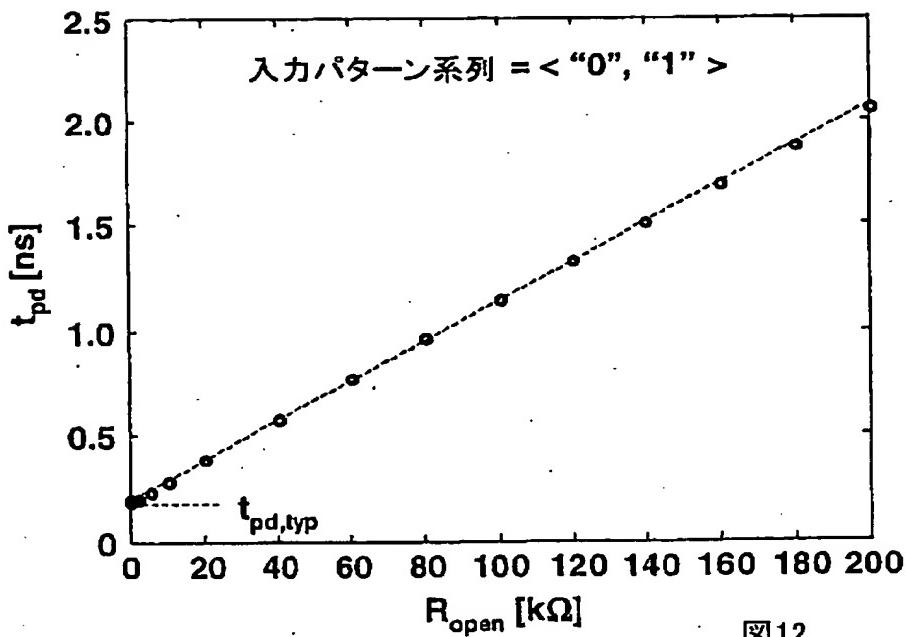


図12

【図13】

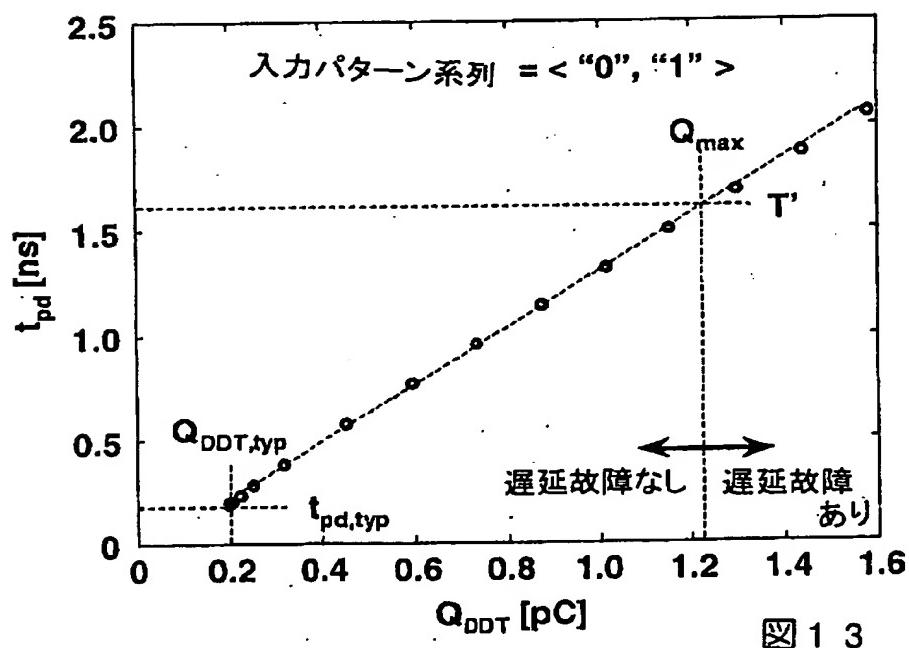


図13

【図14】

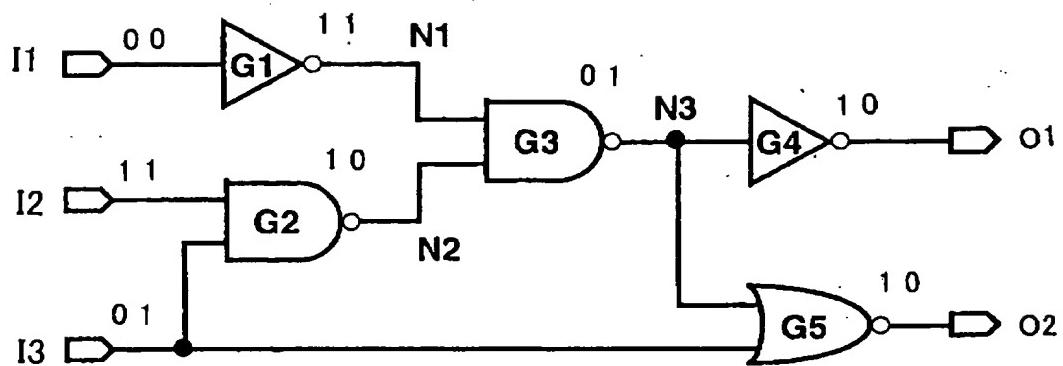


図14

【図15】

テストパターン 系列識別番号	入力端子 I1 I2 I3	内部ノード N1 N2 N3	出力端子 O1 O2	故障検出可能ゲート
T1	0 0 R	1 1 0	1 F	G5
T2	0 1 R	1 F R	F F	G2, G3, G4, G5
T3	1 0 R	0 1 1	0 0	-
T4	1 1 R	0 F 1	0 0	G2
T5	0 R 0	1 1 0	1 1	-
T6	0 R 1	1 F R	F 0	G2, G3, G4
T7	1 R 0	0 1 1	0 0	-
T8	1 R 1	0 F 1	0 0	G2
T9	R 0 0	F 1 R	F F	G1, G3, G4, G5
T10	R 0 1	F 1 R	F 0	G1, G3, G4
T11	R 1 0	F 1 R	F F	G1, G3, G4, G5
T12	R 1 1	F 0 1	0 0	G1
:	:	:	:	:

図15

【図16】

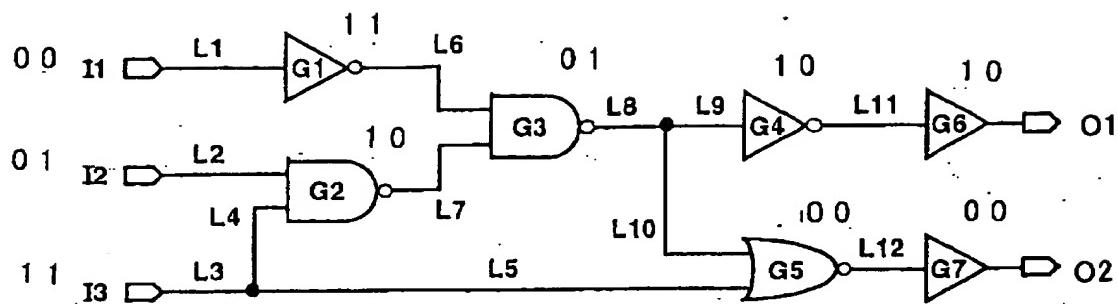


図16

【図17】

テストパターン 系列 識別番号	入力端子 I1 I2 I3	内部信号線												出力端子 O1 O2	故障検出可能 内部信号線	
		1	2	3	4	5	6	7	8	9	10	11	12			
T1	0 0 R	0	0	R	R	R	R	1	1	1	1	1	1	F	1 F	L3, L5, L12
T2	0 1 R	0	1	R	R	R	R	1	F	F	F	F	F	F	F F	L3, L4, L5, L7, L8, L9, L10, L11, L12
T3	1 0 R	1	0	R	R	R	R	0	1	0	0	0	0	0	0 0	-
T4	1 1 R	1	1	R	R	R	R	0	F	0	0	0	0	0	0 0	L3, L4
T5	0 R 0	0	R	0	0	0	1	1	1	1	1	1	1	1	1 1	-
T6	0 R 1	0	R	1	1	1	1	F	F	F	F	F	F	0	L2, L7, L8, L9, L11	
T7	1 R 0	1	R	0	0	0	0	1	0	0	0	0	0	0	0 0	-
T8	1 R 1	1	R	1	1	1	0	F	0	0	0	0	0	0	0 0	L2
T9	R 0 0	R	0	0	0	0	F	1	F	F	F	F	F	F	L1, L6, L8, L9, L10, L11, L12	
T10	R 0 1	R	0	1	1	1	F	1	F	F	F	F	F	0	F 0	L1, L8, L8, L9, L11
T11	R 1 0	R	1	0	0	0	F	1	F	F	F	F	F	F	F F	L1, L8, L8, L9, L10, L11, L12
T12	R 1 1	R	1	1	1	1	F	0	0	0	0	0	0	0	0 0	L1
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:

図17

【図18】

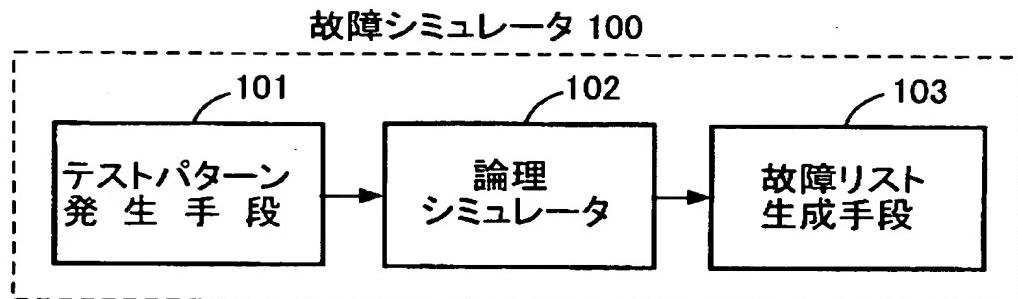


図18

【図19】

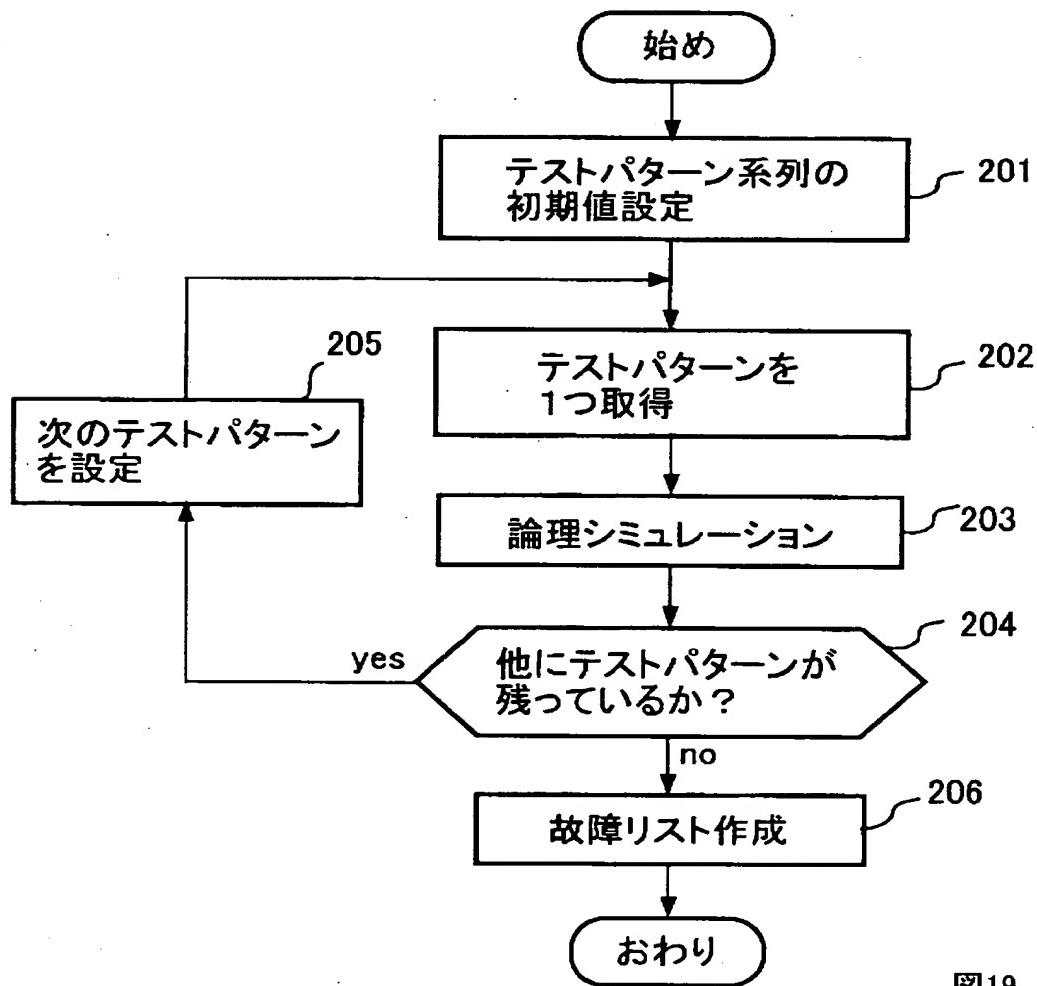


図19

【図20】

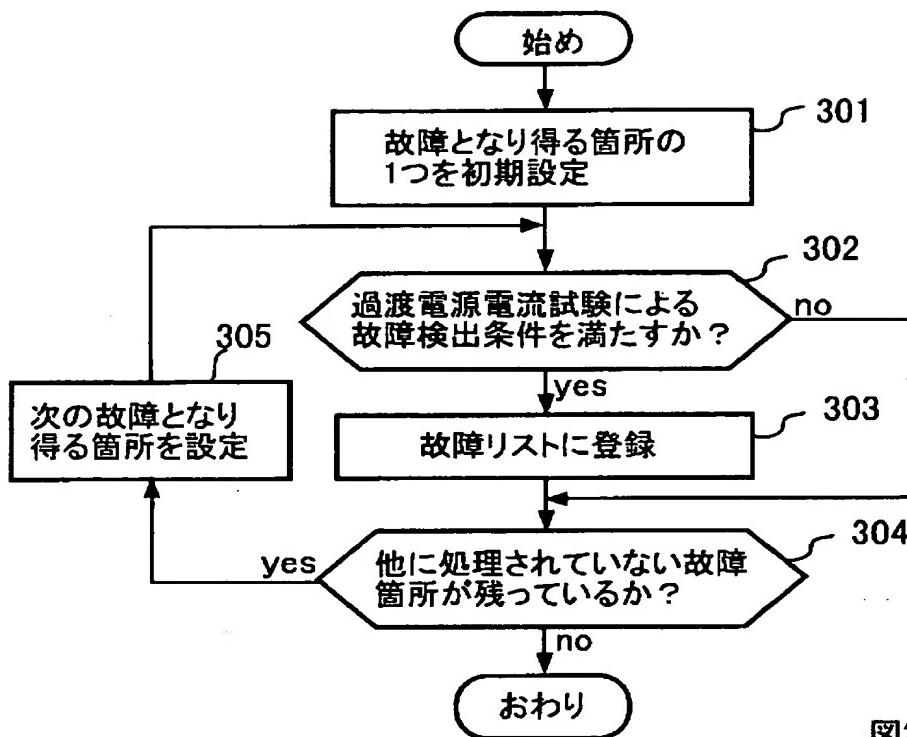


図20

【図21】

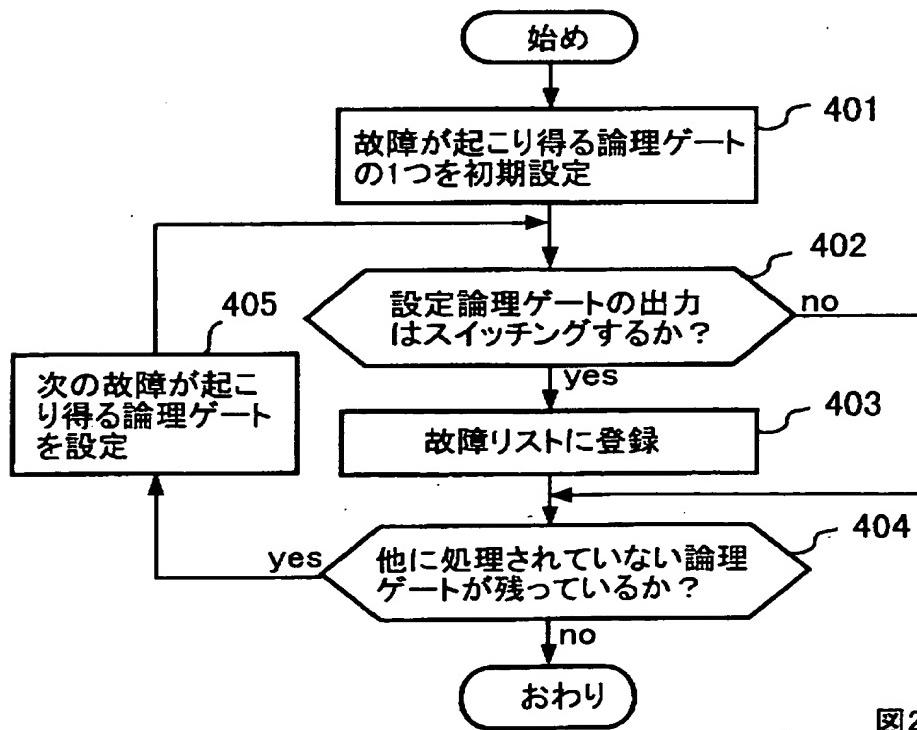


図21

【図22】

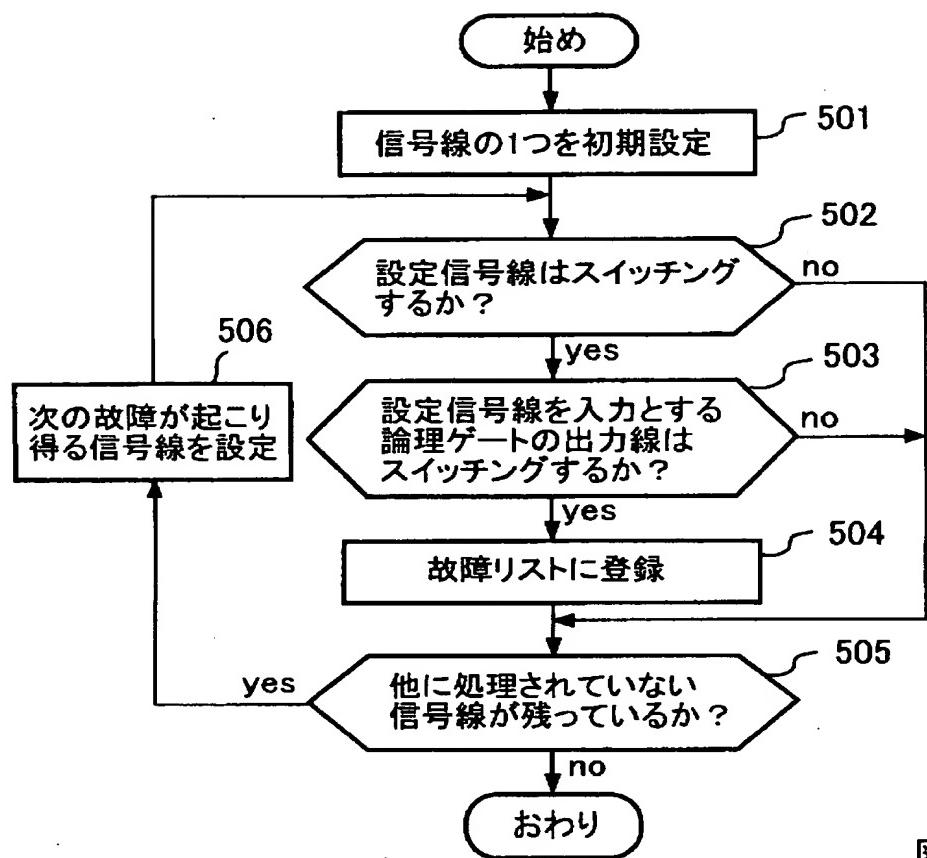


図22

【図23】

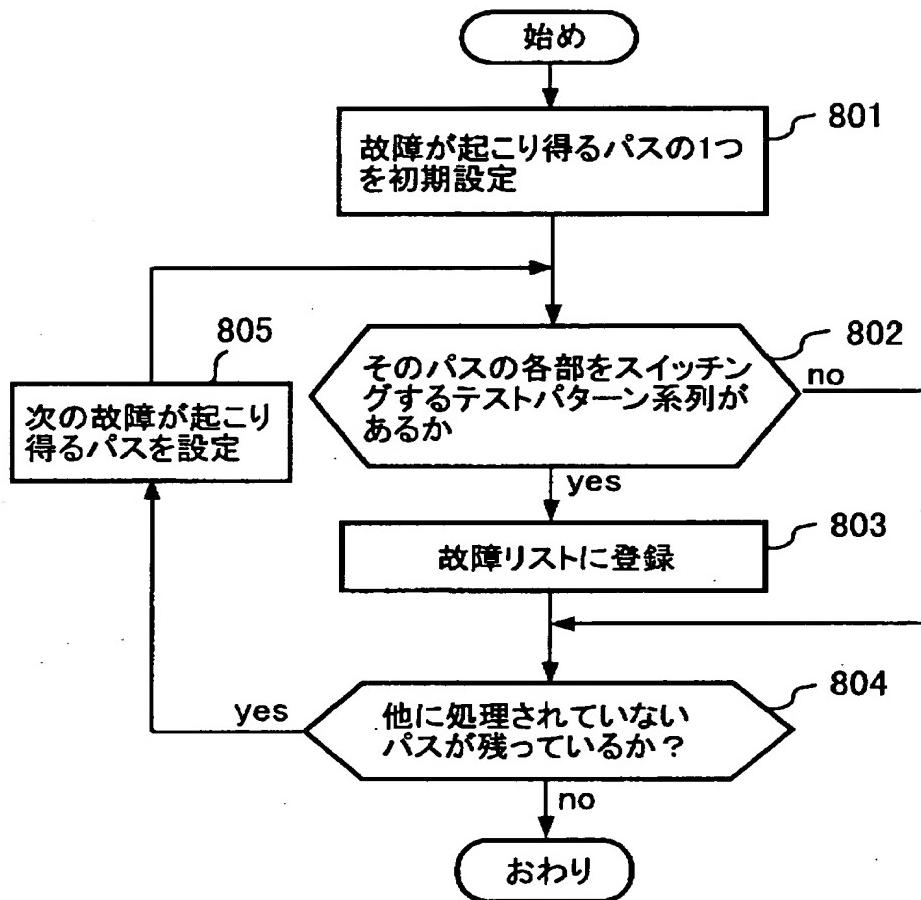


図23

【図24】

テストノバターン 系列識別番号	入力端子			内部ノード			出力端子		故障検出可能バス
	I1	I2	I3	N1	N2	N3	O1	O2	
T1	0	0	R	1	1	0	1	F	<I3, O2>
T2	0	1	R	1	F	R	F	F	<I3, N2, N3, O1>, <I3, N2, N3, O2>
T3	1	0	R	0	1	1	0	0	-
T4	0	1	R	0	F	1	0	0	-
T5	0	R	0	1	1	0	1	1	-
T6	0	R	1	1	F	R	F	0	<I2, N2, N3, O1>
T7	1	R	0	0	1	1	0	0	-
T8	1	R	1	0	F	1	0	0	-
T9	R	0	0	F	1	R	F	F	<I1, N1, N3, O1>, <I1, N1, N3, O2>
T10	R	0	1	F	1	R	F	0	<I1, N1, N3, O1>
T11	R	1	0	F	1	R	F	F	<I1, N1, N3, O1>, <I1, N1, N3, O2>
T12	R	1	1	F	0	1	0	0	-
:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:

図24

【図25】

テストパターン 系列識別番号	入力端子			内部信号線									出力端子		故障検出可能バス			
	1	2	3	1	2	3	4	5	6	7	8	9	10	11	12	1	2	
T1	0	0	R	0	0	R	R	R	1	1	1	1	1	F	1	F	<13, L3, L5, L12, 02>	
T2	0	1	R	0	1	R	R	R	1	F	F	F	F	F	F	<13, L3, L5, L12, 02>	<13, L3, L4, L7, L8,	
																<13, L11, 01>	<13, L3, L4, L7, L8,	
																L10, L12, 01>		
T3	1	0	R	1	0	R	R	R	0	1	0	0	0	0	0	0	-	-
T4	1	1	R	1	1	R	R	R	0	0	0	0	0	0	0	0	-	-
T5	0	R	0	0	R	0	0	0	1	1	1	1	1	1	1	-	-	-
T6	0	R	1	0	R	1	1	1	F	F	F	F	0	F	0	<12, L2, L7, L8, L9, L11, 01>		
T7	1	R	0	1	R	0	0	0	0	1	0	0	0	0	0	-	-	-
T8	1	R	1	1	R	1	1	0	F	0	0	0	0	0	0	-	-	-
T9	R	0	0	R	0	0	0	0	F	1	F	F	F	F	F	<11, L1, L6, L8, L9, L11, 01>		
																<11, L1, L6, L8, L9, L10, L12, 02>		
T10	R	0	1	R	0	1	1	F	1	F	F	F	0	F	0	<11, L1, L6, L8, L9, L11, 01>		
T11	R	1	0	R	1	0	0	0	F	1	F	F	F	F	F	<11, L1, L6, L8, L9, L11, 01>		
																<11, L1, L6, L8, L9, L10, L12, 02>		
T12	R	1	1	R	1	1	1	F	0	0	0	0	0	0	0	-	-	-
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:		

図25

【図26】

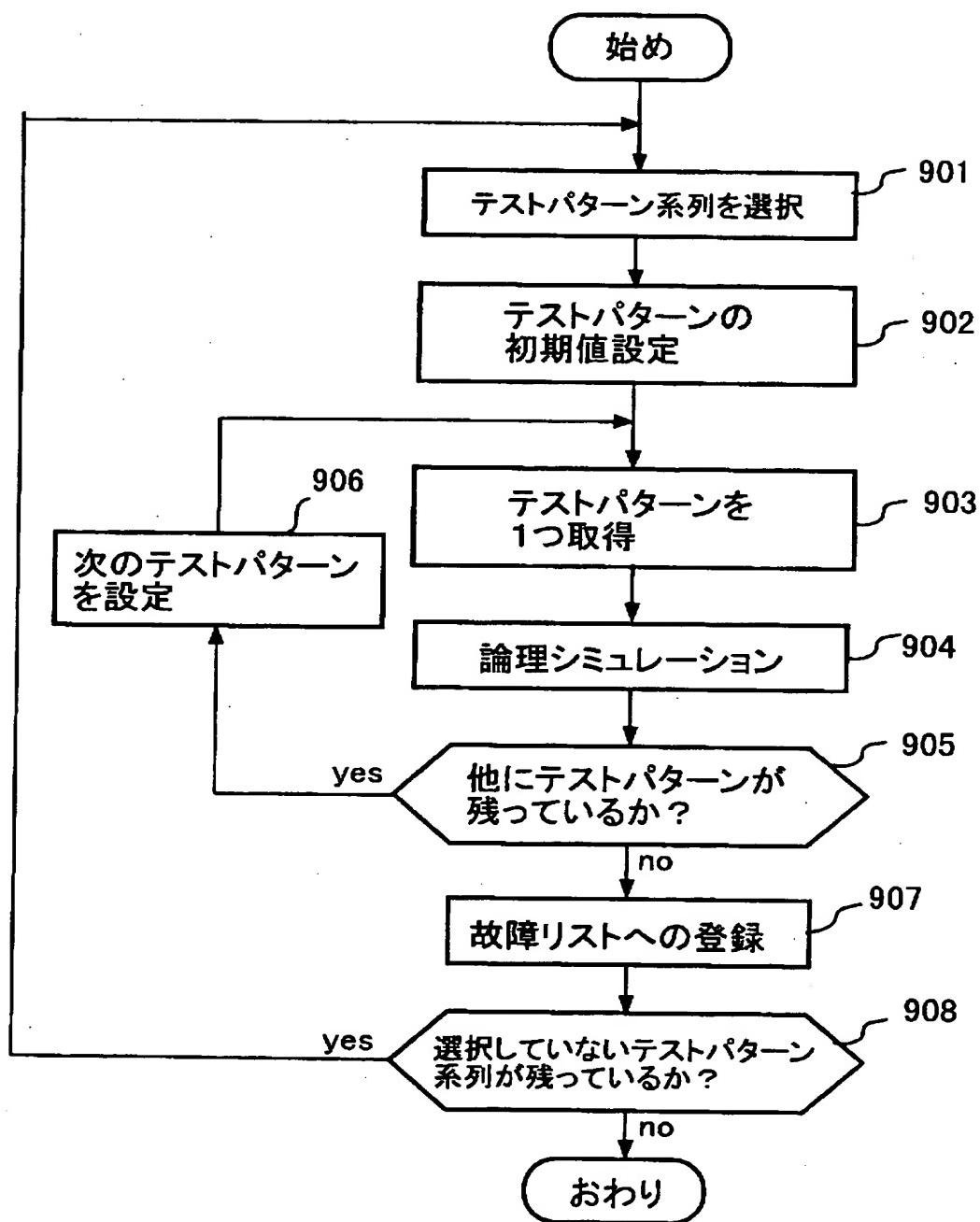


図26

【図27】

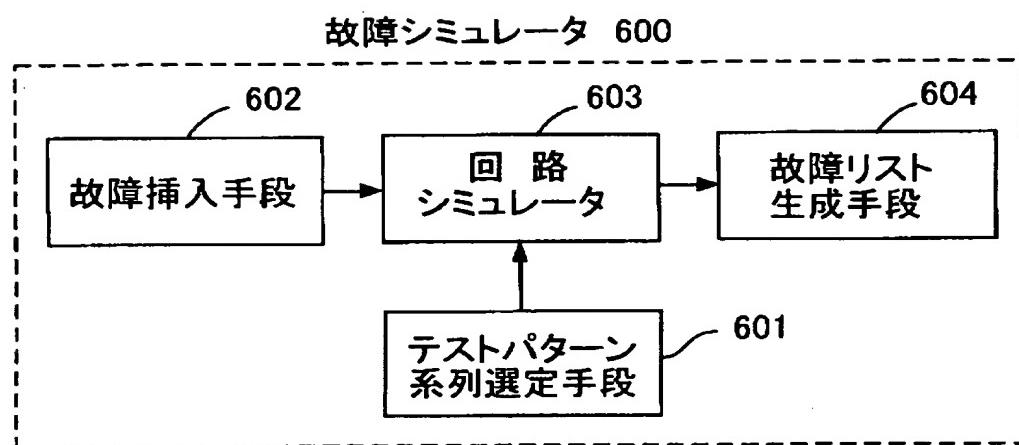


図27

【図28】

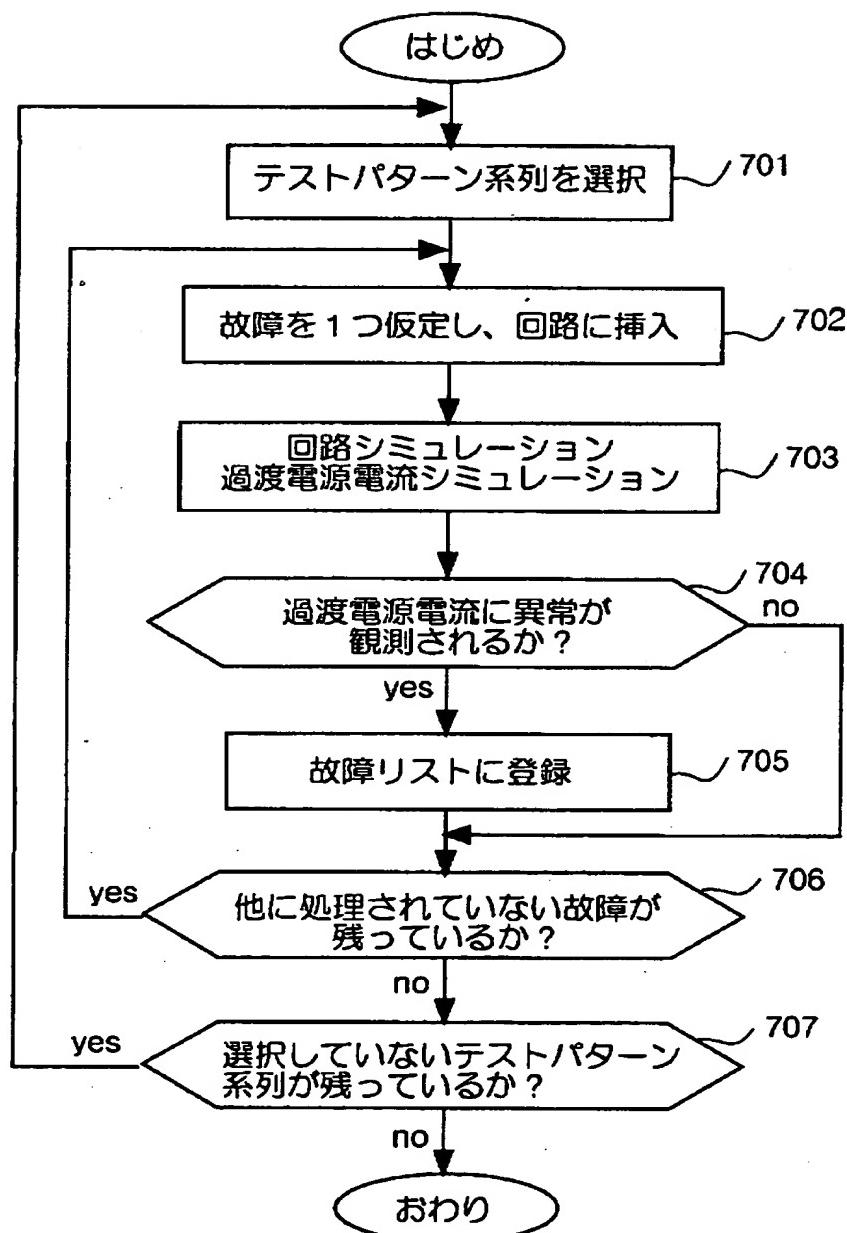


図28

【書類名】 要約書

【要約】

【課題】 遅延故障や断線故障（遅延故障を伴う）が起る可能性のある論理ゲートや信号線および信号伝搬パスのリストを生成可能とする。

【解決手段】 テストパターン系列を選択し（101）、その選択したテストパターン系列の各パターンを被試験ICに入力した場合の論理シミュレーションを行って回路内の信号線に生じる論理信号値列を計算し（102）、その各信号線の論理信号値列をもちいて、選択したテストパターン系列により過渡電源電流試験で検出可能な故障を起す可能性のある個所を故障リストに登録する（103）。

【選択図】 図18

出願人履歴情報

識別番号 [390005175]

1. 変更年月日 1990年10月15日

[変更理由] 新規登録

住 所 東京都練馬区旭町1丁目32番1号
氏 名 株式会社アドバンテスト